

⑫ 公開特許公報(A)

昭63-38983

⑤Int. Cl. ⁴	識別記号	庁内整理番号	⑬公開	昭和63年(1988)2月19日
G 09 G 1/02		7923-5C		
G 06 F 3/153	3 3 6	7341-5B	審査請求	未請求
15/64	4 5 0	8419-5B	発明の数	1 (全4頁)

⑭発明の名称 表示アドレス制御装置

⑯特 願 昭61-183618

⑰出 願 昭61(1986)8月4日

⑱発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳代 理 人 弁理士 内 原 晋

明細書

発明の名称

表示アドレス制御装置

特許請求の範囲

(1) 1画面分の表示データを記憶する記憶内容の読み書き可能な第1の記憶手段と、

前記第1の記憶手段に外部から供給される前記1画面分の表示データを一定の順序で書き込む書き込み手段と、

前記一定の順序で書き込まれた1画面分の表示データの示す表示図形を含む1つ以上の所定の表示図形を規定する前記第1の記憶手段の読出しアドレスデータを前記表示図形毎に連続したアドレスに記憶する第2の記憶手段と、

表示周期に同期して前記第2の記憶手段に前記表示図形に対応した連続したアドレスを供給し、読み出された前記第2の記憶手段からのデータを前記第1の記憶手段の読出しアドレスとして供給

するアドレス供給手段とを含むことを特徴とする表示アドレス制御装置。

(2) 第2の記憶手段は読み出し専用メモリであることを特徴とする特許請求の範囲第(1)項記載の表示アドレス制御装置。

(3) 第2の記憶手段は記憶内容の読み書き可能なメモリであり、外部から供給される1つ以上の所定の図形を規定する第1の記憶手段の読出しアドレスデータを前記表示図形毎に連続したアドレスに書込む書込み手段を含むことを特徴とする特許請求の範囲第(1)項記載の表示アドレス制御装置。

発明の詳細な説明

(産業上の利用分野)

本発明は情報処理装置における文字図形表示装置内に使用される表示メモリに対する表示アドレス制御装置に関する。

(従来技術)

従来から文字図形をラスタ走査型陰極線管に表

示するには少なくとも1画面分の表示データを記憶するための表示メモリが必要である。

第3図は文字の表示のみを行う従来例におけるブロック図である。文字のみの表示を行う場合には表示形状が表示すべき文字の種類だけに限定される。ここで24は表示画面に表示される文字の文字コードを記憶する読み書き可能な表示メモリであり表示文字の種類が256種であれば1回に8ビットの文字コードがアクセスされる。その文字コードは文字形状を記憶している表示メモリ21のアドレスの一部となる。残りのアドレスはライン・アドレス発生器28から供給されドットに展開された表示データを得る。26は表示メモリ24に文字コードを書き込むアドレスを発生するアドレス発生器であり、27は表示メモリ24の記憶内容を読み出し表示メモリ21に供給するための読み出しアドレス発生器である。25は書き込みアドレスと読み出しアドレスとを切り分けるために使用されるセクタである。8×8ドットで表現される表示文字の種類が256種、1画面

の文字表示が1行あたり80文字、1画面あたり25行であって、1行の表示が16本の走査線で構成されている場合を例にとると、表示メモリ21は8×8×256ビットの記憶容量を持てば良い。同様に、表示メモリ24は8×80×25ビットであれば良い。この構成では表示メモリ24の文字コード記憶内容を8ビット書き換えるだけで、8×8ビットの表示領域を一瞬にして書き換えることができる。

第2図は表示メモリ上に展開されたドット・イメージをそのまま表示するグラフィックス表示を行う従来例におけるブロック図である。表示メモリ上のドットと表示されるドットとが1対1に対応しているため任意な図形を表現することができる。14は表示データをそのまま記憶している表示メモリであり、640×400ドットの表示を行うためには少なくとも640×400ビットの記憶容量を持つ。16は図形やイメージ情報を表示メモリ14に書き込む場合に使用する書き込みアドレス発生器であり、17は表示メモリ14の

記憶内容を読み出し表示するための読み出しアドレス発生器である。15はそれらのアドレスのうち一方のみを選択するセクタである。このようにグラフィックス表示では文字表示とは異なり表示メモリとして1画面分の表示データを記憶するメモリを1種類だけ持てば良い。但し表示1ドットに対応する表示メモリ1ドットをアドレスする機能を必要とする。

このようなグラフィックス表示において表示図形を任意形状に変形させるには以下に示す2種の方法が従来より実施されてきた。

その第一は1画面分の表示データを表示メモリ14に記憶させた後、図形変形アルゴリズムに従って転送元のドット・アドレスに対応する転送先のドット・アドレスを演算し、転送元のドット・アドレスを読み出しアドレスとして表示メモリに供給し転送源データを読み出し、算出した転送先ドット・アドレスを書き込みアドレスとして表示メモリに供給し読み出した転送源データを書き込む方式である。

その第二は同様に1画面分の表示データを表示メモリ14に記憶させた後、図形変形アルゴリズムに従って表示周期と同期を取りながら読み出しアドレスを表示速度と等価な実時間で算出し図形を変形表示させる方式である。

〔従来技術の問題点〕

上述した第一の従来方式では1画面分の表示データを表示メモリに書き込んでから表示するまでに以下の段階を経ることになり処理時間が遅いという問題点がある。

- (1) 1画面分の表示データの表示メモリへの書き込み。
- (2) 転送源アドレスの算出。
- (3) 転送源データの読み出し。
- (4) 転送先アドレスの算出。
- (5) データの書き込み。
- (6) 表示。

第二の従来方式では表示メモリへの書き込み動作と表示のための読み出し動作とを並列して実行できるので実時間動作が可能であるが、表示速度

から制約を受ける時間内に読み出しアドレスの演算を終了出来なければならないという問題点がある。

〔問題点を解決するための手段〕

本発明の装置は、1画面分の表示データを記憶する記憶内容の読み書き可能な第1の記憶手段と、前記第1の記憶手段に外部から供給される前記1画面分の表示データを一定の順序で書き込む書き込み手段と、前記一定の順序で書き込まれた1画面分の表示データの示す表示図形を含む1つ以上の所定の表示図形を規定する前記第1の記憶手段の読出しアドレスデータを前記表示図形毎に連続したアドレスに記憶する第2の記憶手段と、表示周期に同期して前記第2の記憶手段に前記表示図形に対応した連続したアドレスを供給し、読み出された前記第2の記憶手段からのデータを前記第1の記憶手段の読出しアドレスとして供給するアドレス供給手段とを含んで構成される。

〔実施例〕

第1図は本発明の一実施例におけるブロック図

第二の表示メモリ4の記憶内容の変更の方法には二通りある。その第一は図形変形アルゴリズムに従って表示アドレスを演算しながら演算結果を前もって書き込む方法であり、演算結果を蓄えることができるので上記した従来例とは異なり表示周期と同期を取って実時間で演算結果が得られなければならないことはない。従って演算を実時間で実行できないような複雑な図形変形を行う際に有効である。その第二はあらかじめ図形変形アルゴリズムに従って表示アドレスを演算しておき補助記憶装置に記憶させ、必要に応じて第二の表示メモリ4に転送することにより図形を変形させる方法である。さらに図形変形の種類が少なく固定的な使用ができる場合には読み出し専用のメモリを第二の表示メモリ4として使用し書き込み制御機能を省略してもよい。また、第二の表示メモリ4に記憶させるデータは第一の表示メモリに対する表示アドレスそのものでなく、連続的な表示アドレスに対する相対的な位置移動データとして与えてもよい。

である。1は1画面分の表示データを記憶する第一の表示メモリであり、書き込みアドレス・レジスタ3が発生する書き込みアドレスに従って図形の書き込みやイメージ・データの書き込みを行う。4は表示メモリ1の表示アドレスを記憶する第二の表示メモリでありその出力は表示時第一の表示メモリ1のアドレス供給源を切り換えるために設けられているアドレス・セクタ2を経由して第一の表示メモリ1に供給される。表示図形を変形させる必要がない場合には第二の表示メモリ4は第一の表示メモリに対する連続的な表示アドレスを記憶している。6は第二の表示メモリ4の記憶内容を変更するための書き込みアドレス・レジスタであり図形変形アルゴリズムに従って発生された書き込みデータを書き込む。7は第二の表示メモリ4の記憶内容を読み出すためのアドレス・レジスタであって表示周期に同期して連続的な読み出しアドレスを発生する。5は書き込みアドレスと読み出しアドレスとを切り換えるためのアドレス・セクタである。

〔発明の効果〕

第二の表示メモリに第一の表示メモリに対する表示アドレスを記憶させ、その内容を書き換えるだけで表示図形を変形させることができるため、実時間で表示アドレスの算出をすることができないような応用であっても、あらかじめ演算結果を第二の表示メモリに記憶させておくことによつて、実時間で表示図形を変形させることができるという効果がある。

図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図はグラフィックス表示を行う従来例を示すブロック図、第3図は文字表示を行う従来例を示すブロック図である。

1, 4, 14, 21, 24…表示メモリ、2, 5…アドレス・セクタ、3, 6…書き込みアドレス・レジスタ、7…読出しアドレス・レジスタ、15, 25…セクタ、16, 26…書き込みアドレス発生器、17, 27…読出しアドレス発生

器、28…ライン・アドレス発生器。

代理人 弁理士 内原

