

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-289442

⑬ Int. Cl.⁴
G 06 F 12/00

識別記号 庁内整理番号
6711-5B

⑭ 公開 昭和61年(1986)12月19日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 メモリ・アクセス制御装置

⑯ 特 願 昭60-132372

⑰ 出 願 昭60(1985)6月18日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

メモリ・アクセス制御装置

2. 特許請求の範囲

外部記憶装置から命令コードや処理すべきデータを読み取り、演算処理などを実行後、結果を外部記憶装置に書き込むメモリ・アクセス制御装置において、外部からの制御信号によって上記外部記憶装置に記憶されているデータの読み出し/書き込み動作のサイクルを一時的に引き延ばす機能を持ち、且つ、その引き延ばし動作が読み出し/書き込み制御信号が能動状態となっていない場合であっても機能することを特徴とするメモリ・アクセス制御装置。

3. 発明の詳細な説明

(技術分野)

本発明はデジタル情報処理装置の中心部をな

すプロセッサに関し、特に、待ち合わせ(ウエイト)制御回路に関する。

(従来技術)

プロセッサから供給される読み出し/書き込み制御信号の周期内で、外部記憶装置のデータの読み出し/書き込みができない場合に、ウエイト信号をプロセッサに与え、その周期を引き延ばすことにより所期の目的を達成する方法は以前から行なわれてきている。第4図Aはウエイト操作を行っていないときの従来例におけるプロセッサの入出力信号の波形図である。ここでは、メモリ・アクセス・サイクルはT1から始まりT2、T3で終了する3クロック期間であり、外部記憶装置に対する読み出し/書き込み制御信号(RD/WL)はT2のクロックφ立ち下がりからT3のクロックφの立ち下がりの区間で能動状態となる。外部記憶装置に記憶されているデータは、外部記憶装置にアドレスが供給されRD/信号が低レベルになった時点から読み出しが開始される。T3のクロックφ立ち下がり時に、読み出された