

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-140423

⑬ Int. Cl.⁴

G 06 F 7/00
7/52

識別記号

1 0 3

庁内整理番号

7313-5B
7056-5B

⑭ 公開 昭和60年(1985)7月25日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ビット・シフト回路

⑯ 特 願 昭58-247029

⑰ 出 願 昭58(1983)12月28日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

ビット・シフト回路

2. 特許請求の範囲

2^Nビットの入力データを任意ビット分シフトするかどうかを決めるシフト量を記憶する手段を有し、その設定値に従って前記入力データをシフトするビット・シフト回路において、前記入力データと前記シフト量を示す出力信号の一部を入力する線と、N本の異なる出力線とを有する第一の信号伝達回路と、前記N本の出力線と前記シフト量を示す残りの出力信号を入力する線と、N本のシフト結果を出力する出力線とを有する第二の信号伝達回路とを具備したことを特徴とするビット・シフト回路。

3. 発明の詳細な説明

(技術分野)

本発明はビットシフト回路に関し、特にデジタル論理回路において、入力データを任意のビット数分だけ瞬時にシフトまたは回転(以下、シフトとのみ表現する)せしめるビットシフト回路に関する。

(従来技術)

ビット・シフト回路は一般的なプロセッサが持っているシフト命令などの基本的な命令を実現するための必須の論理回路として従来より使用されている。このシフト命令は具体的には乗除算などの演算フローを構成する命令として有用であり、この命令を実行するため、一般の従来装置には、1個のシフト命令について1ビットのシフトを実行する回路が用いられ、多数のビット数をシフトさせる場合には、1ビットのシフトを多数回繰り返すことによって達成している。

このため、従来ビットシフト回路は1ビットのシフトを1クロック期間内で実行できるシフト回路が提供されていたとしても、Nビットのビット・シフト操作を実行するのにNクロックという

長い時間を費やしていた。

最近ではラスタ・スキャン型CRT(陰極線管)を使用した表示装置において、表示データを記憶する表示メモリのビットとCRT上での表示のドット位置とが1対1に対応しているビット・マップ・メモリを搭載した装置が普及してきた。この表示メモリはデータを制御するとき、入力データを多数ビット分シフトして書き込む、操作が基本的な操作として多数回必要とすることがよく知られている。このため、1クロック期間という短い時間内に多数ビット分のシフト操作を1回で実行できるデジタル回路が有用となってきた。この種の回路は既に、パレル・シフタなどと呼ばれて装置に使用されている。

この従来型パレル・シフタは第1図に示すように、たとえば最大4ビットまでのシフトが可能な回路において、縦と横の両方向に配線されたデータ入力線1~4と、縦方向に配線された出力線11~14と、シフト量を設定するレジスタの出力をデコードし1本だけが能動的となるようにし

2は11、3は12、4は13へ接続され、所期のビット・シフト動作を達成する。

この従来型のビットシフト回路ではシフト量選択線によって開閉されるトランジスタの数は少ないが、その反対に配線の本数が多い。このことは、特に、本回路の集積回路化を行なう際に問題となる。一般に、集積回路化する場合には、トランジスタ数は多くなったとしても配線の本数が減ることによって全体の回路規模が減少することが知られている。

また、この従来型のビットシフト回路では4ビットのシフタを例にとっているが、通常、8ビットから64ビット程度のシフト量を持つシフタが使用されることが多い。

したがって、従来型のビットシフト回路では、そのビット・シフト量が多くなるにつれて、回路の面積規模は縦横両方向共に大きくなる欠点を持っている。また、シフト量が4ビットの整数倍であるシフタを構成するためには、第1図の彼線で示す4ビット・シフタ回路ブロックを縦横方向に横

た斜めに配線し、更に折り返し、横方向に配線されたシフト量選択線21~24とを有する。

マトリックス状に設けたMOS(金属酸化物半導体)型のトランジスタ51~66は、そのゲートに接続されている選択線21~24が能動的になると、シフト量選択線21~24とデータ入力線1~4とが本トランジスタを介して接続されるように動作する。ここで、ビット・シフト量が0、即わち、循環のみを行なう場合には、選択線21のみが能動的となり、トランジスタ54、57、60、63が作動し、入力線1が出力線出力線11へ、入力線2が出力線12へ、入力線3が出力線13へ、入力線4が出力線14へそれぞれ接続される。以下、1ビット・シフト時には、同様に選択線22が能動的となり、入力線1は12へ、2は13、3は14、4は11へ接続される。2ビット・シフト時には、選択線23が能動的となり、入力線1は13へ、2は14、3は11、4は12へ接続される。3ビット・シフト時には、選択線24が能動的となり、入力線1は14へ、

み重ねていけば良い。例えばシフト量が4ビットのときの横方向の配線数は第1図から明らかのように20本であるため、この回路によって16ビットのシフト量を持つシフタを構成しようとするとき横方向配線は4倍の80本となる。さらに、64ビットのシフト量を持つシフタの場合には16倍の320本もの相互配線が必要となる。この従来型のビットシフト回路を集積回路化したとき、占有面積のうちの大部分が配線で占められることになり、シフト量が多くなるにつれて回路の実現が難かしくなる等の欠点を有していた。

(発明の目的)

本発明の目的は、従来型のビットシフト回路における欠点を除去すると共に相互配線を減少させることによって、回路を集積回路化したときに、同一の機能を持つ回路を少ない占有面積で達成し得るビットシフト回路を提供することにある。

(発明の構成)

本発明によれば、 2^N ビットの入力データを任意ビット分シフトするかどうかを決めるシフト量

を記憶する手段を有し、その設定値に従って前記入力データをシフトするビット・シフト回路において、前記入力データと前記シフト量を示す出力信号の一部を入力する線と、N本の異なる出力線とを有する第一の信号伝達回路と、前記N本の出力線と前記シフト量を示す残りの出力信号を入力する線と、N本のシフト結果を出力する出力線とを有する第二の信号伝達回路とを具備したことを特徴とするビット・シフト回路が得られる。

(実施例)

以下、本発明の実施例について、図面を参照して説明する。

第2図は本発明の一実施例を示す。なお、本実施例においては従来のビットシフト回路との比較を容易にするために4ビットのシフト量を持つシフト量を例にとって説明する。

第2図において、本実施例は4ビットの入力データを何ビット分シフトするかどうかを定めるシフト量を記憶するレジスタ100を有し、そのシフト量に従って前記入力データをシフトするビ

ット・シフト回路において、前記入力データを入力する入力線101~104と、前記レジスタ100の出力信号の一部を入力する線121, 122と、N本の異なる出力線を101'~104'とを有する第一の信号伝達回路140と、前記N本の出力線101'~104'と、前記レジスタ100の残りの出力信号を入力する線123, 124と、N本のシフト結果を出力する出力線111~114とを有する第二の信号伝達回路150とを含む。

第一の信号伝達回路140は入力データを入力する各データ入力線101~104が2本に分岐されており、分岐された一方のデータ入力線と、シフトレジスタ100からのインバータ130を介したシフト量選択線121との交点に設けられたトランジスタ151~154と、分岐された他方のデータ入力線と、シフトレジスタ100からの直接接続されたシフト量選択線122との交点に設けられたトランジスタ155~158とを有している。

この第一の信号伝達回路140は4つの出力信

号線101'~104'を有し、出力信号線101'はトランジスタ151を介したデータ入力線101とトランジスタ158を介したデータ入力線104とに接続されており、出力信号線102'はトランジスタ152を介したデータ入力線102と、トランジスタ155を介したデータ入力線101とに接続されており、更に出力信号線103'はトランジスタ153を介したデータ入力線103とトランジスタ156を介したデータ入力線102とに接続されており、更に又、出力信号線104'はトランジスタ154を介したデータ入力線104とトランジスタ157を介したデータ入力線103とに接続されている。この4つの出力信号線101', 102', 103', 104'はさらに、第二の信号伝達回路150のデータ入力線となる。

第二の信号伝達回路150は第一の信号伝達回路からの出力信号線101', 102', 103', 104'が、2本に分岐されており、分岐された一方のデータ入力線と、シフトレジスタ100からのインバータ131を介したシフト量選択線

123との交点に設けられたトランジスタ159~162と、分岐された他方のデータ入力線と、シフトレジスタ100からの直接接続されたシフト量選択線124との交点に設けられたトランジスタ163~166とを有している。

この第二の信号伝達回路150は出力信号線101'と103'とがトランジスタ159と163を介してデータ出力線111に、出力信号線102'と104'とがトランジスタ160と164を介してデータ出力線112に、出力信号線103'と101'とがトランジスタ161と165を介してデータ出力線113に、出力信号線104'と102'とがトランジスタ162と166を介してデータ出力線114にそれぞれ接続されている。

トランジスタ151~166はMOS(金属酸化物半導体)型のトランジスタで、そのゲートに接続されているシフト量選択線が能動的になると、ゲートとドレインの両端が接続するように動作する。

本実施例においてはビット・シフト量が0、即ち、循環のみを行なう場合に、シフト量選択線121、123が能動的となり入力線101が出力線111へ、入力線102が出力線112へ、入力線103が出力線113へ、入力線104が出力線114へそれぞれ接続される。

以下、1ビット・シフト時には、選択線122、123が能動的となり入力線101が出力線112へ、102が113へ、103が114へ、104が111へそれぞれ接続される。

2ビット・シフト時には、選択線121、124が能動的となり入力線101が出力線113へ、102が114へ、103が111へ、104が112へそれぞれ接続される。

3ビット・シフト時には、選択線122、124が能動的となり入力線101が出力線114へ、102が111へ、103が112へ、104が113へそれぞれ接続され、所期のビット・シフト動作を達成する。

第一の信号伝達回路には一対のシフト量選択線

16ビット・シフタ($N=4$)で比較すると、

従来例: 80本。

実施例: 26本。

64ビット・シフタ($N=6$)では、

従来例: 320本。

実施例: 78本。

このように、本実施例では相互配線の本数を著るしく減少させることが出来、回路規模の縮小化に寄与するところが大きい。

本実施例では、前記従来例とは異なり、ビット・シフト量を記憶しているレジスタに対するデコーダは不要である。このことはシフト量選択線の配線本数だけに注目したとしても以下の通り配線数を減少する効果がある。 2^N ビットのシフト量を持つシフタを例にとると、デコーダ出力の本数は 2^N 本、本実施例のようにデコーダ無しの場合のビット選択線の本数は $2 \times N$ 本であり、その配線本数の減少は N の値が大きくなる程、顕著となる。

(発明の効果)

121、122、第二の信号伝達回路には同様に123、124のみが接続されるため、その横方向配線数は第2図から明らかなように各々3本である。

さらに上記2種の信号伝達回路をビット数に等しい種類(本実施例では4本)の配線で接続しているため総計10本の横方向配線だけで4ビット・シフタを構成できる。以下、横方向配線数の減少の度合いについて一般式を用いて説明する。

従来例: 5×2^N

実施例: 第一の信号伝達回路;

$$2 \times (N/2) \uparrow + 1$$

接続配線部;

$$2^N$$

第二の信号伝達回路;

$$2 \times (N/2) \downarrow + 1$$

これらを加えると、

$$2 \times ((N/2) \uparrow + (N/2) \downarrow) + 2^N + 2$$

となる。ここで、記号 \uparrow は小数点以下切り上げを意味し、記号 \downarrow は小数点以下切り下げを意味する。

本発明は以上説明したように相互配線の本数を著るしく減少させることができ、かつ回路を集積化した時、少ない占有面積で達成し得る効果がある。

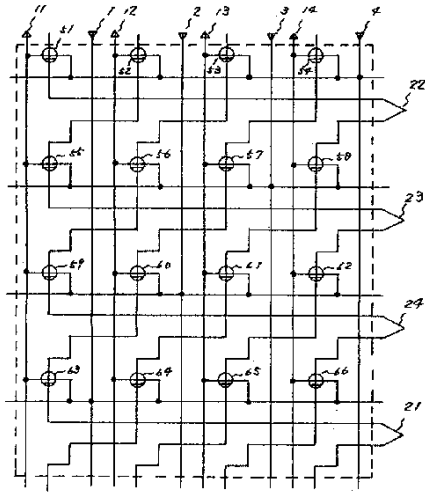
4. 図面の簡単な説明

第1図は従来のビット・シフト回路を示す回路図、第2図は本発明の一実施例におけるビット・シフト回路を示す回路図である。

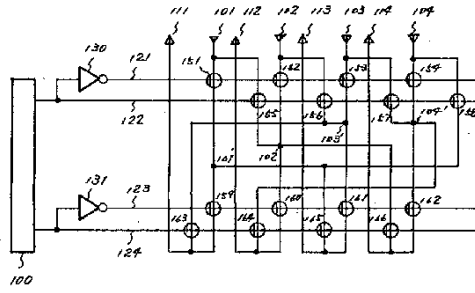
101~104……データ入力線、111~114……データ出力線、121~124……シフト量選択線、130、131……インバータ、151~166……トランジスタ。

代理人 弁理士 内原 晋





第 1 図



第 2 図