

⑱日本国特許庁

①特許出願公開

## 公開特許公報

昭52—144931

⑤Int. Cl.  
G 11 C 19/00

識別記号

⑥日本分類  
97(7) C 61

庁内整理番号  
7257—56

④公開 昭和52年(1977)12月2日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭シフト・レジスタ回路

東京都港区芝五丁目33番1号  
日本電気株式会社内

⑰特 願 昭51—61085

⑰出 願 人 日本電気株式会社

⑱出 願 昭51(1976)5月28日

東京都港区芝五丁目33番1号

⑲発 明 者 小口哲司

⑲代 理 人 弁理士 芦田坦 外3名

### 明 細 書

#### 1. 発明の名称

シフト・レジスタ回路

#### 2. 特許請求の範囲

クロック信号により情報をレジスタに読み込むか或いはシフトすることによつて情報を一時記憶し遅延させるようにしたシフト・レジスタにおいて、前記レジスタを少なくとも3つの列に並列接続し且つ前記クロック信号として前記少なくとも3つの列の数相当の多相ビット信号を用いたことを特徴とするシフト・レジスタ回路。

#### 3. 発明の詳細な説明

本発明は情報記憶装置として使用されるシフト・レジスタ回路に関するものであり、特にシフトすべきビット数が多いときに効果的な回路である。

シフト・レジスタはクロック信号によりトランスファ・ゲートを動作させて情報をレジスタに読み込むか或いは次段のレジスタにシフトさ

せ、これによつて情報を一時記憶し遅延させる機能を有するようにした回路である。

従来この種の回路には多くの種類のものが発表されており、機能的には満足すべきものはいくつかある。しかしいずれの場合でも、シフトレジスタは1ビット当りおのおの少なくとも2個のトランスファ・ゲートと2個のNOTゲートすなわちメモリを用いているので、所要ビット数が多くなると、回路全体の構成素子が極めて多数となるのは止むを得ない。

したがつて本発明の目的は、前述の構成素子の数を可及的に少なくしたシフト・レジスタ回路を提供するにある。

本発明のシフト・レジスタ回路は、クロック信号により情報をレジスタに読み込むか或いはシフトすることにより情報を一時記憶して遅延させるようにしたシフト・レジスタにおいて、前記レジスタを少なくとも3つの列に並列接続し且つ前記クロック信号として前記少なくとも3つの列の数に相当する多相のビット信号を用い