

⑫ 特許公報 (B2)

平3-5755

⑬ Int. Cl.<sup>5</sup>

G 09 G 5/00

識別記号

Z  
M

庁内整理番号

8121-5C  
8121-5C

⑭公告 平成3年(1991)1月28日

発明の数 1 (全8頁)

⑮発明の名称 映像アドレス制御装置

⑯特 願 昭58-142916

⑰公 開 昭60-33590

⑱出 願 昭58(1983)8月4日

⑲昭60(1985)2月20日

⑳発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

㉑出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉒代 理 人 弁理士 内 原 晋

審 査 官 山 崎 達 也

1

2

㉓特許請求の範囲

1 映像データを格納する映像メモリのアドレスを順次変化させ、読出したデータを表示器に表示する映像表示システムの映像アドレス制御装置において、表示アドレスを記憶する表示アドレスレジスタと、1単位文字又は図形表示区間毎に内容がクリアされるカウントレジスタと、前記映像メモリの表示進行方向のアドレス数を記憶するピッチレジスタと、アドレスの演算方法を設定するフラグレジスタと、該フラグレジスタの設定に基づいて所定のアドレス演算と制御を行うアドレス演算制御手段とを含むことを特徴とする映像アドレス制御装置。

発明の詳細な説明

〔発明の属する技術分野〕

本発明は映像表示システムにおいて、映像メモリに送出する表示および格納するためのアドレスの制御を行う映像アドレス制御装置に関する。

〔従来技術〕

表示器として、ラスタースキャン形CRTを使用した映像表示システムでは、大容量の映像メモリに表示すべきデータを格納する(この動作を以下、描画という。)際には描画のためのアドレスを供給し、映像メモリのデータを読出して表示を行なうときには、表示アドレスを供給する。この表示アドレスを順次変更することによって、異なる表示データを映像メモリから読出し、映像直列信号を得ることは良く知られている。表示データ

を映像メモリから読出す従来の映像アドレス制御装置には、大別して、以下に記述する2種のものがある。

第1図は映像アドレス制御装置としての映像メモリアドレス発生器を含めた従来の映像表示システムの一例の要部を示すブロック図である。画面表示ドット数が256×256で構成され、映像メモリの1ビットが白黒2値画面表示の1ドットに対応し、1アドレスが16ビットに対応している映像メモリ構成を取るグラフィック表示を例にとると、画面の横方向に走査する1本の走査線期間の表示に要するアドレス数は256/16で表わされ、16アドレスである。さらに、画面縦方向に256本の走査線表示期間部を取る場合には、映像メモリとして16×256、すなわち、4096アドレス16ビットの容量を持つメモリが必要となる。この容量は後述する第2の従来装置の場合についても同様である。

映像メモリアドレス発生器1は上記4096アドレスを番地づけするに足るビット数(12ビット)を持ったインクリメンタであり、1単位時間(本従来例では16ドット表示時間)毎に“1”だけ内容が増加する。さらに、1画面表示の終了とともにその内容は40”にクリアされ、次の画面表示のための準備をする。この映像メモリアドレス信号は、中央処理装置(CPU)(図示していない)からCPUアドレスバス8を介して供給されるアドレス信号が一方に入力されるアドレスバス切換