

⑫ 特許公報 (B2)

平3-5755

⑬ Int. Cl.⁵

G 09 G 5/00

識別記号

Z
M

庁内整理番号

8121-5C
8121-5C

⑭公告 平成3年(1991)1月28日

発明の数 1 (全8頁)

⑮発明の名称 映像アドレス制御装置

⑯特 願 昭58-142916

⑰公 開 昭60-33590

⑱出 願 昭58(1983)8月4日

⑲昭60(1985)2月20日

⑳発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

㉑出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉒代 理 人 弁理士 内 原 晋

審 査 官 山 崎 達 也

1

2

㉓特許請求の範囲

1 映像データを格納する映像メモリのアドレスを順次変化させ、読出したデータを表示器に表示する映像表示システムの映像アドレス制御装置において、表示アドレスを記憶する表示アドレスレジスタと、1単位文字又は図形表示区間毎に内容がクリアされるカウントレジスタと、前記映像メモリの表示進行方向のアドレス数を記憶するピッチレジスタと、アドレスの演算方法を設定するフラグレジスタと、該フラグレジスタの設定に基づいて所定のアドレス演算と制御を行うアドレス演算制御手段とを含むことを特徴とする映像アドレス制御装置。

発明の詳細な説明

〔発明の属する技術分野〕

本発明は映像表示システムにおいて、映像メモリに送出する表示および格納するためのアドレスの制御を行う映像アドレス制御装置に関する。

〔従来技術〕

表示器として、ラスタースキャン形CRTを使用した映像表示システムでは、大容量の映像メモリに表示すべきデータを格納する(この動作を以下、描画という。)際には描画のためのアドレスを供給し、映像メモリのデータを読出して表示を行なうときには、表示アドレスを供給する。この表示アドレスを順次変更することによって、異なる表示データを映像メモリから読出し、映像直列信号を得ることは良く知られている。表示データ

を映像メモリから読出す従来の映像アドレス制御装置には、大別して、以下に記述する2種のものがある。

第1図は映像アドレス制御装置としての映像メモリアドレス発生器を含めた従来の映像表示システムの一例の要部を示すブロック図である。画面表示ドット数が256×256で構成され、映像メモリの1ビットが白黒2値画面表示の1ドットに対応し、1アドレスが16ビットに対応している映像メモリ構成を取るグラフィック表示を例にとると、画面の横方向に走査する1本の走査線期間の表示に要するアドレス数は256/16で表わされ、16アドレスである。さらに、画面縦方向に256本の走査線表示期間部を取る場合には、映像メモリとして16×256、すなわち、4096アドレス16ビットの容量を持つメモリが必要となる。この容量は後述する第2の従来装置の場合についても同様である。

映像メモリアドレス発生器1は上記4096アドレスを番地づけするに足るビット数(12ビット)を持ったインクリメンタであり、1単位時間(本従来例では16ドット表示時間)毎に“1”だけ内容が増加する。さらに、1画面表示の終了とともにその内容は40”にクリアされ、次の画面表示のための準備をする。この映像メモリアドレス信号は、中央処理装置(CPU)(図示していない)からCPUアドレスバス8を介して供給されるアドレス信号が一方に入力されるアドレスバス切換

3

器2に、映像メモリアドレスバス6を介して入力され、CPUが、映像メモリ3に対してデータの書込み、読出し動作を行なう際に発生するアドレス切換信号14の状態が非能動であるとき、映像メモリ3のアドレスに映像メモリアドレスバス7を介して接続される。映像メモリ3からは、そのアドレス信号により16ビットの出力が映像メモリデータバス10に出力され、並列一直列変換器5を経て映像直列信号16を得るものである。なお第1図において、4はCPUデータバス11と映像メモリデータバス10とを分離することを目的としたデータバス切換ドライバであり、15はデータバス切換信号である。さらに9はCPUメモリ制御バス、12は画面終了時にクロック信号発生器(図示していない)から発生する画面終了信号、13はクロック信号発生器からの表示期間外であることを示す表示消去信号である。

第2図に映像メモリアドレス発生器1に供給される各種信号および発生するアドレス信号のタイミングを示す。映像メモリアドレス発生器1は画面終了時に発生する画面終了信号12によって“0”にクリアされ、表示期間外であることを示す表示消去信号13が“H”であるときには映像メモリアドレス信号が発生せず、その値は変化しない、表示消去信号が“L”となり表示が開始されると16ドット表示期間に1回だけ映像メモリアドレス信号が発生し、映像メモリアドレスは“1”だけ増加し、異なるデータを読出す。

第3図は他の映像アドレス制御装置を用いた従来の映像表示システムの一例の要部を示すブロック図である。この従来例ではDMA(Direct Memory Access)コントローラ17と、2系統のラインバッファとDMA要求ライン等を持つCRTコントローラ18を映像アドレス制御装置として具備したものであり、画面表示開始時の映像メモリアドレスはDMAコントローラ17に画面表示終了毎にCPUの制御のもとに再設定されており、1ラインの表示終了毎にDMA要求信号22が、1ラインの表示に必要なアドレスのDMA転送に必要な期間だけCRTコントローラ18からDMAコントローラ17に出力される。DMAコントローラ17はDMA要求信号22を受けた後、CPUを停止し、アドレスバス、データバス及び制御バスを解放状態にすべく、CPUに

4

対し、ホールド要求信号20を送出する。CPUからホールド承認信号19がDMAコントローラ17に入力されると、DMAコントローラ17はDMA転送を開始するとともにCRTコントローラ18に対し、DMA転送を実行中であることを示すDMA承認信号21を送出する。CRTコントローラ18は、その信号を受けて、以後のDMA転送の有無を判断しDMA要求信号22の制御を行なう。

DMA要求信号22の発生によつて、上記のような手順で、DMAコントローラ17が起動され、DMAコントローラ17からCPUアドレスバス8を介して映像メモリアドレス信号が、CPUメモリ制御バス9を介してメモリ制御信号が、それぞれ映像メモリ3に与えられ、そのアドレスに対応したデータ出力がCRTコントローラ18に送出され、次ライン表示のために用意されている第1のラインバッファに格納される。第2のラインバッファには、現在表示中のデータが格納されており、表示のタイミングに従つて、並列一直列変換器5に送出され直列映像信号16を得る。

第4図にDMA要求信号22、DMAコントローラ17によつて発生されるアドレス、表示データのタイミングを示す。画面終了を示す画面終了信号が能動的になると、DMAコントローラ17に表示開始のアドレス“0”が設定され、CRTコントローラ18からDMA要求信号22が送出されると映像メモリ3のアドレス“0”から“15”までのデータがCRTコントローラ18に内蔵されている第1のラインバッファに転送される。表示の開始に伴つて、第1のラインバッファの内容が並列一直列変換器5に送出され表示されるとともに、CRTコントローラ18からDMA要求信号22が出力され、次のラインの表示データが格納されている映像メモリアドレス“16”から“31”までのデータが第2のラインバッファに転送される。

一般に、表示内容は表示画面の正面から見る人が多いことや、画面の分割や複雑な巻上げ動作などを行なわない場合には、上記従来例の如く、シーケンシャルなアドレス変更のみでも、所期の結果が得られる。しかしながら、用途によつては画面や上や下から眺めたり、画面を鏡などに反射させて見る場合がある。上から見る場合には映像

5

は上下逆に見え、鏡に反射されている映像は上下左右が逆、すなわち、裏がえしになった映像となる。単に、表示アドレスのインクリメントのみを行ない連続したアドレスに格納されているデータの読出ししか実行できない上記従来装置では、このような表示に対し正常表示画面化する補正を行なうことは不可能であるという問題点がある。

〔発明の目的〕

本発明の目的は、上記問題点を解消することにより上下左右反転の映像表示を容易に実現でき、融通性が高く自由度の大きな表示制御機能を有する映像アドレス制御装置を提供することにある。

〔発明の構成〕

本発明の映像アドレス制御装置は、映像データを格納する映像メモリのアドレスを順次変化させ、読出したデータを表示器に表示する映像表示システムの映像アドレス制御装置において、表示アドレスを記憶する表示アドレスレジスタと、1単位文字又は図形表示区間毎に内容がクリアされるカウントレジスタと、前記映像メモリの表示進行方向のアドレス数を記憶するピッチレジスタと、アドレスの演算方法を設定するフラグレジスタと、該フラグレジスタの設定に基づいて所定のアドレス演算と制御を行うアドレス演算制御手段とを含むことから構成される。

〔実施例の説明〕

以下、本発明の実施例について図面を参照して説明する。

第5図は本発明の一実施例の要部を示すブロック図である。

本実施例は、表示アドレスを記憶する表示アドレスレジスタ (DAD) 23と、1単位文字又は図形表示区間毎に内容がクリアされるカウントレジスタ (CHR) 24と、映像メモリの表示進行方向のアドレス数を記憶するピッチレジスタ (PITCH) 25と、アドレスの演算方法を設定するフラグレジスタ (FLAG) 26と、このフラグレジスタ 26の設定に基づいて所定のアドレス演算と制御を行うアドレス演算制御手段としての演算器 27、バッファレジスタ (DAD') 28とを

含んで構成される。本実施例は、従来例の映像表示システムを示した第1図中の映像メモリアドレス発生器1に相当し、映像メモリアドレス発生器1は単なるインク

6

リメンタであるが、本実施例では5種のレジスタ、DAD 23, CHR 24, PITCH 25, FLAG 26, DAD' 28と、演算器 27とによって構成される点が異つている。

5 DAD 23はアドレス演算に使用され、1画面表示の開始時などに新規アドレスデータがCPUによって設定される。CHR 24はインクリメンタとして動作し、制御信号“CHR+1→CHR”(CHR+1→CHRはCHRにあるデータを+1してCHRに格納するということを表わしている。以下の同様な表現も同じ表わし方によっている。)によって、演算器 27を介して、その機能達成する。1ラインの表示終了毎に、制御信号0→CHR(CHRのデータを0にクリアする。)によつて、その値は“0”にクリアされる。PITCH 25は表示走査方向の映像メモリのアドレス数を記憶し、CPUによつて、あらかじめ任意な値に設定できる。DAD' 28はアドレス演算の結果を一時的に蓄わえるレジスタであつて、この出力が、映像メモリアドレスバス6を介して出力され、最終的には、映像メモリのアドレスに接続される。FLAG 26は演算器 27におけるアドレス演算方法を変更するためのレジスタであつて、CPUによつて任意の値に設定できる。

25 本実施例では、フラグは2ビットで構成され、その値を変更することによつて第7図a, bから第10図a, bに示すように、以下の4種類のうちの1種のアドレス演算方法を選択する。

①DAD+CHR→DAD'

30 DAD+PITCH→DAD, DMD'

②DAD-CHR→DAD'

DAD+PITCH→DAD, DAD'

③DAD+CHR→DAD'

DAD-PITCH→DAD, DAD'

35 ④DAD-CHR→DAD'

DAD-PITCH→DAD, DAD'

上記各演算方法における上段の演算は表示期間中に成され、下段の演算はライン表示開始時毎に実行される。これらのアドレス演算のタイミング関係については、第6図に示してある。但し表示アドレスの変化については、上記①の場合のみにして示している。

以下、本発明の一実施例の動作について、第5図、第6図を用いて説明する。

7

1画面終了毎に発生する画面終了信号が能動的になると、DAD 2 3に表示開始番地がCPUの制御のもとに、CPUからの表示アドレス設定信号が“H”である期間に設定されるとともに、CHR 2 4が“0”にクリアされる。DAD 2 3へは、第7図の場合には、“0”、第8図では“P-1” (PとはPITCHレジスタの設定値を表わす、本実施例ではP=28。)、第9図では“(N-1)P” (Nは整数値、本実施例ではN=10。)、第10図では“NP-1”をそれぞれ1画面表示開始前にCPUにより設定しておく。表示期間中には、映像メモリのアドレスサイクル毎に、CHR 2 4は“1”だけ加算された後、1ライン表示期間中は同一の値を保持し続けているDAD 2 3との間で、FLAG 2 6の設定値に従って加減算され、その結果が一時的にDAD' 2 8に格納された後、映像メモリのアドレスに供給される。1ラインの表示が終了すると、DAD 2 3と、PITCH 2 5との間で、FLAG 2 6の設定値に従って加減算が行なわれ、その結果がDAD 2 3およびDAD' 2 8に格納され次ライン以降の表示のための準備をする。上述の演算サイクルが繰り返されて1画面の表示を形成する。

第7図a, bないし第10図a, bは、本実施例の結果得られた表示アドレスのマツプを各図aに、表示図形(ここではローマ字“F”を表示している。)を各図bに示してある。

第7図a, bに示すFLAG“00”の場合は、通常の場合、第9図a, bに示すFLAG“10”の場合は、第7図a, bを上下反転した場合、第8図a, bに示すFLAG“01”の場合は、第7図a, bを左右反転した場合、第10図a, bに示すFLAG“11”の場合は第9図a, bを左右反転した場合に当る。

すなわち、本実施例によると、FLAGによる演算方法の設定により4通りの表示を行うことができる。

なお、上述の実施例においては、フラグレジスタのフラグは2ビットとしたが、これに限定されることは無くビット数を増すことにより多数通りの表示を行うことが可能となる。

〔発明の効果〕

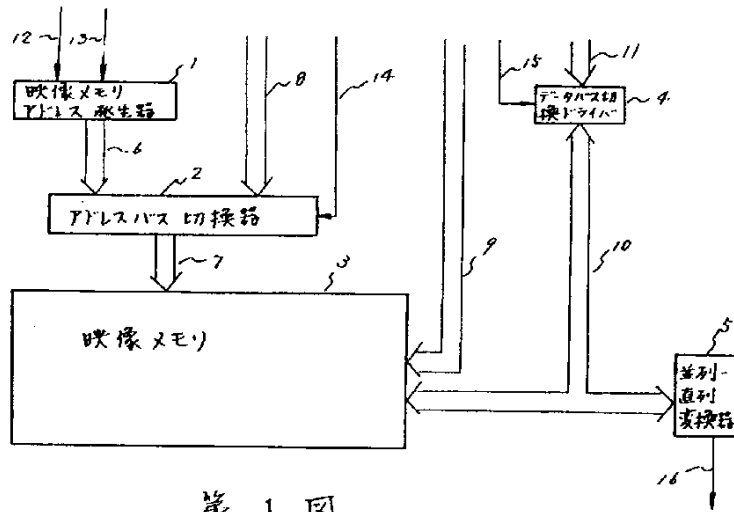
8

以上詳細に説明した通り、本発明の映像アドレス制御装置は、表示アドレスを記憶する表示アドレスレジスタと、1単位文字又は図形表示区間毎に内容がクリアされるカウントレジスタと、映像メモリの表示進行方向のアドレス数を記憶するピッチレジスタと、アドレスの演算方法を設定するフラグレジスタと、このフラグレジスタの設定に基づいて所定のアドレス演算と制御を行うアドレス演算制御手段とを含んでいるので、従来不可能であった映像表示の上下左右反転の映像表示が容易に実現でき、融通性が高く自由度の大きな表示制御機能が得られるという効果を有している。

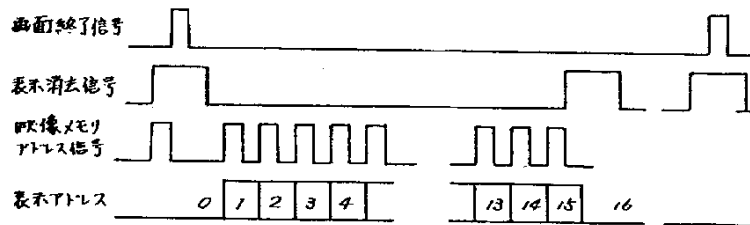
図面の簡単な説明

第1図は従来の映像表示システムの一例の要部を示すブロック図、第2図は第1図のシステムの動作を説明するためのタイミング図、第3図は従来の映像表示システムの他の一例を要部を示すブロック図、第4図は第3図のシステムの動作を説明するためのタイミング図、第5図は本発明の一実施例を示すブロック図、第6図は本実施例の動作を説明するためのタイミング図、第7図a, bないし第10図a, bは、本実施例におけるフラグレジスタの設定値による表示アドレスの変化〔各図a〕と、その時の表示図形〔各図b〕を示した図である。

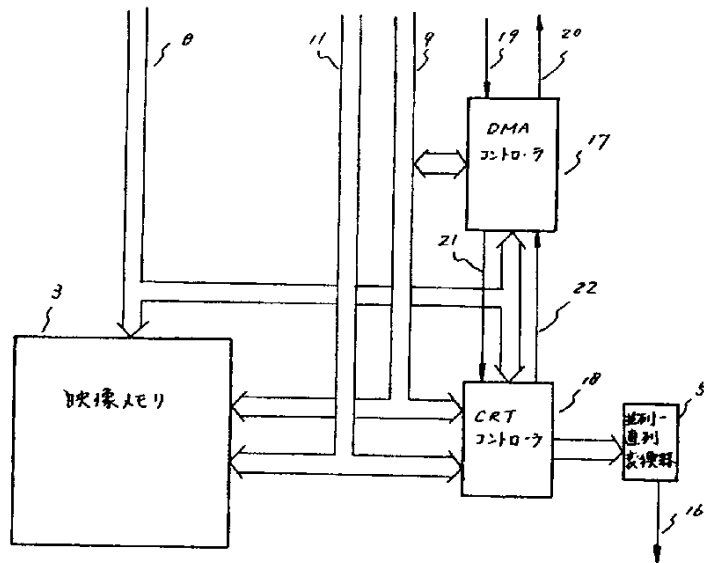
1…映像メモリアドレス発生器、2…アドレスバス切換器、3…映像メモリ、4…データバス切換ドライバ、5…並列一直列変換器、6, 7…映像メモリアドレスバス、8…CPUアドレスバス、9…CPUメモリ制御バス、10…映像メモリデータバス、11…CPUデータバス、12…画面終了信号、13…表示消去信号、14…アドレス切換信号、15…データバス切換信号、16…映像直列信号、17…DMAコントローラ、18…CRTコントローラ、19…ホールド承認信号、20…ホールド要求信号、21…DMA承認信号、22…DMA要求信号、23…表示アドレスレジスタ(DAD)、24…カウントレジスタ(CHR)、25…ピッチレジスタ(PITCH)、26…フラグレジスタ(FLAG)、27…演算器、28…バッファレジスタ(DAD')。



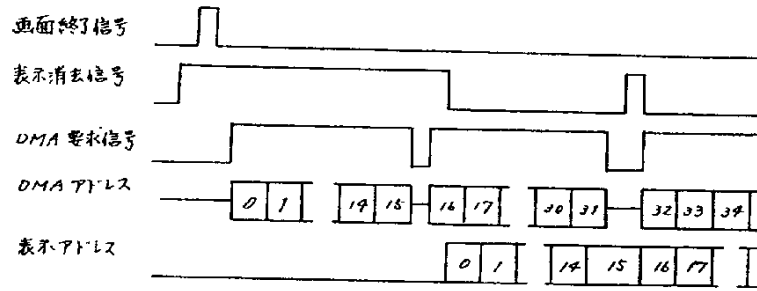
第 1 図



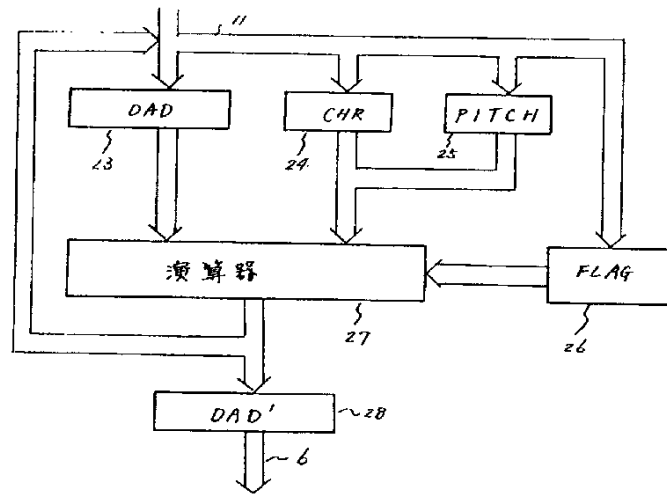
第 2 図



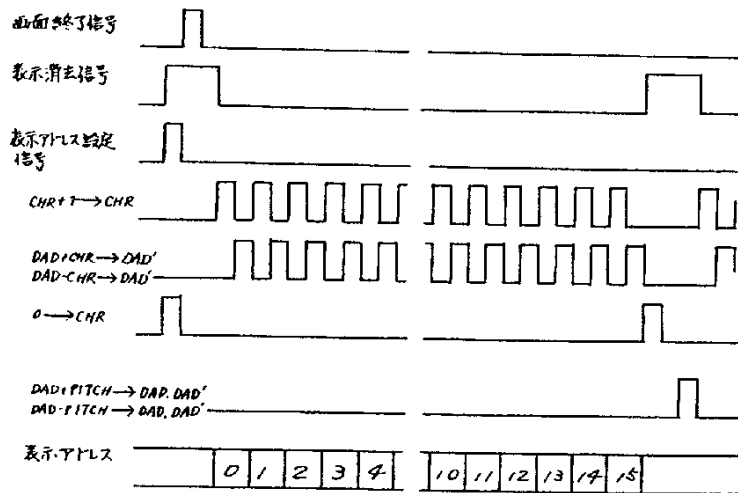
第 3 図



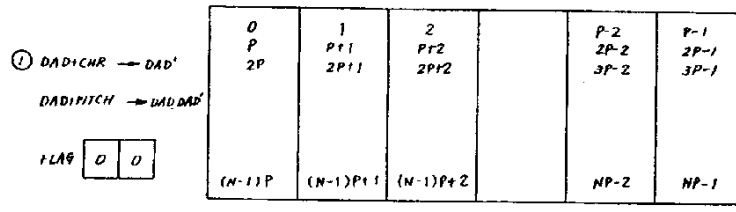
第 4 図



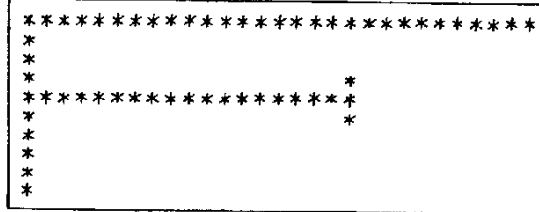
第 5 図



第 6 図

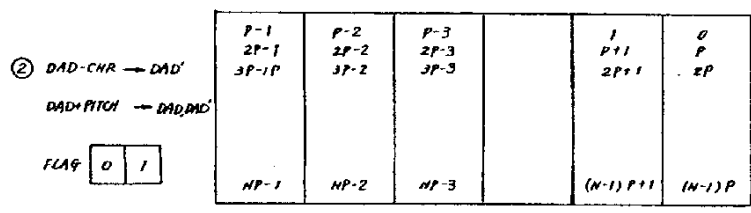


(a)

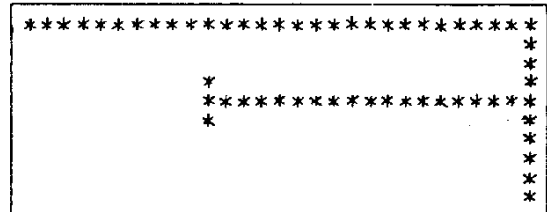


(b)

第 7 图

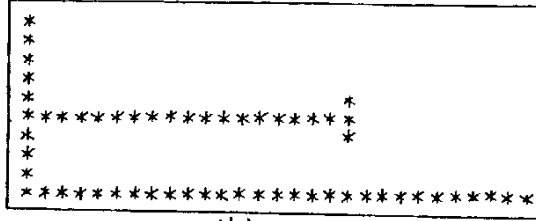
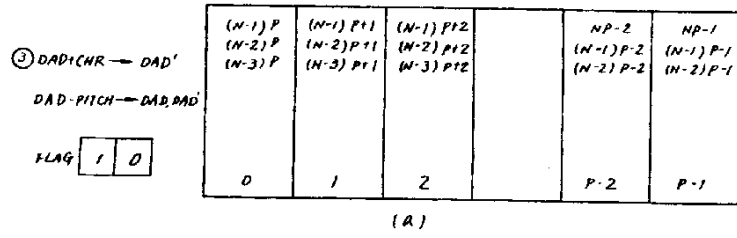


(a)

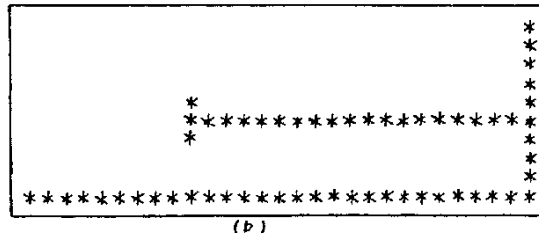
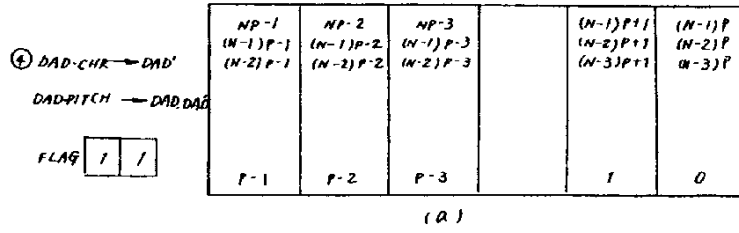


(b)

第 8 图



第 9 回



第 10 回