

⑫ 特許公報 (B 2)

昭61-8465

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公告 昭和61年(1986)3月14日

G 06 F 13/28
12/00

7165-5B
6974-5B

発明の数 1 (全12頁)

⑮ 発明の名称 情報転送装置

⑯ 特 願 昭55-166297

⑰ 公 開 昭57-90740

⑱ 出 願 昭55(1980)11月26日

⑲ 昭57(1982)6月5日

⑳ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内

㉑ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉒ 代 理 人 弁理士 内 原 晋

審 査 官 祖 父 江 栄 一

㉓ 参 考 文 献 特開 昭51-78141 (J P, A) 特開 昭51-80135 (J P, A)

1

2

㉔ 特許請求の範囲

1 第一の情報記憶装置と第二の情報記憶装置との間で情報転送を行う装置において、上記二つの記憶装置には各々分離された異なる情報記憶位置指定信号線および情報伝達線が接続され、夫々の記憶装置に対して独立に情報記憶位置指定信号を供給する第一と第二の制御器を具備し、第一の制御器は上記第一の記憶装置および第二の制御器に対して情報記憶位置指定信号を供給することによつて第一の記憶装置と第二の制御器との間の情報転送を実行すると同時に、第二の制御器は上記第二の記憶装置に対して独立に情報記憶位置指定信号を供給し第二の制御器と第二の記憶装置との間の情報転送を実行することを特徴とした情報転送装置。

発明の詳細な説明

本発明はデータ転送装置に関し、特にダイレクトメモリアクセス (DMA) 方式を用いたデータ転送装置に関する。

ある装置のデータを他の装置に転送する機能は、情報を処理する上で重要な機能の一つである。データ転送はメモリ装置、中央処理装置 (CPU) 及び周辺機器からなるシステムの中において頻般に行なわれる。初期のデータ転送は、必ずCPUの制御の下で行なわれていた。データ転送の要求があればCPUはデータ転送用のプログラムに基いて転送処理を実行する。しかしながら、データ転送毎にCPUがその処理を実行する

場合、メモリから1バイト分の内容を転送するのに、例えば、42クロック分もの処理サイクルが必要であつた。従つて、画像処理のように高速度でのデータ転送が要求されるシステムには大きな欠点であつた。

この点、最近提案されたダイレクト・メモリ・アクセス (DMA) 方式を用いたデータ転送処理は、上記の欠点を解決する有効な方式である。第1図及び第2図に従来より実施されているDMA転送装置のブロック図を示して、以下にその動作を説明する。DMA転送とは、CPUを介することなく直接メモリ装置と周辺機器との間で行なわれるデータ転送である。従つて、DMA転送機能を有する情報処理システムはDMA制御装置を有している。

第1図はDMA転送機能を有する情報処理システムのブロック図である。ここでは、メモリ装置と周辺機器 (以下、I/O機器という) との間でDMA転送が行なわれる。システムはCPU 1、メモリ 2、DMA制御装置 3 及び I/O機器 4 とを含む。CPU 1 とメモリ 2 とはアドレスバス 10 及びデータバス 11 で接続されている。更に、データの読み出し及び書き込みのタイミング指示を行なう第1の制御信号バス 13 が、CPU 1 からメモリ 2 に接続されている。一方、I/O機器 4 にはアドレス指定の必要がないため、データバス 11 に接続されている。DMA制御装置 3 はアドレスバス 10、データバス 11 及び制御信号バス

3

1 3に接続される。又、CPU 1、DMA制御装置 3及びI/O機器 4は第2の制御信号バス 1 2によつて相互に接続されている。

ここで、メモリ 2がデータの転送を行なう場合には、必ずそのアドレスが指定される。一方、I/O機器 4に対しては特にアドレスを指定する必要はない。以下に、この様なメモリ 2とI/O機器 4との間でデータがDMA転送される様子を説明する。

まず、データ転送の要求に応じてI/O機器 4からDMA制御装置 3に対してDMA要求信号 2 0が転送される。DMA制御装置 3はこの信号 2 0を受けて一時停止要求信号 (HOLD) 2 1をCPU 1に転送する。CPU 1は命令サイクルの終了時に一時停止要求信号 (HOLD) の有無を判断し、要求がある場合にはバスの制御権をDMA制御装置 3に移す。更に、CPU 1はアドレス・バス 1 0、データ・バス 1 1、メモリ 2及び第2の制御信号バス 1 2を切り離す。そして、HOLD許可信号 2 2をDMA制御装置 3に転送する。この結果、DMA制御装置はアドレス・バス、制御信号バスを自身に接続してDMA転送の準備をする。更に、DMA実行中であることをCPU 1に示し、DMA承認信号 2 3をI/O機器 4に転送する。

第4図に、DMA制御装置から発生される各種信号のタイミング図を示す。メモリ 2からI/O機器 4へデータを転送する場合と、I/O機器 4からメモリ 2へデータを転送する場合とは、夫々に入力されるメモリ制御信号 (読み出し制御信号 \overline{MR} 、書き込み制御信号 \overline{MW})、I/O機器制御信号 (読み出し制御信号 \overline{IOR} 、書き込み制御信号 \overline{IOW}) は異なっている。

メモリ 2からI/O機器 4へのDMA転送について第4図を用いて説明する。最初のクロックでDMA制御装置 3はメモリ 2へアドレスデータ (MA) を送る。このアドレスデータはアドレス・バス 1 0を介してメモリ 2へ供給される。次のクロックで、メモリ読み出し信号 (\overline{MR}) が第1の制御信号バス 1 3に出力される。この結果、指定されたメモリの内容がデータ・バス 1 1に出力される。次に、I/O機器 4に対して書き込み (\overline{IOW}) が第2制御信号バスを介して送られる。この結果、DMA承認信号 (\overline{DACK}) 2 3が印加

4

されているI/O機器 4にデータが書き込まれ、結局4クロック (期間 T_1) で1バイトのDMA転送が終了する。多数バイトDMA転送が行なわれる場合には、各バイトのDMA転送後、自動的にアドレスデータがインクリメント又はデクリメントされる。

この様なメモリ 2とI/O機器 4との間のDMA転送において上述した各動作はクロック信号によつてタイミング制御される。従つて、この方式によれば第4図に示すように、4クロック (期間 T_1) で1バイトのデータ転送が実行される。これはCPUを用いたプログラム制御のデータ転送と比較して、約10倍以上の高速化を実現できる。

しかしながら、上記のDMA転送システムは、メモリとメモリとの間でデータを転送する場合に、以下に述べるような不都合が生じる。この場合には、送信側のメモリにも又受信側のメモリにもアドレスを指定しなければならない。

第2図は、第1のメモリ 3 2、第2のメモリ 3 4、CPU 3 1及びDMA制御装置からなるDMA転送システムのブロック図である。CPU 3 1が第1及び第2の両メモリ 3 2、3 4とデータ転送できるように、アドレスバス 4 0及びデータバス 4 1が配設されている。4 2はI/O機器 (図示せず) に接続される第1の制御信号バスである。第1及び第2のメモリ 3 2、3 4はCPU 3 1からデータの読み出し及び書き込みができるように、第2の制御信号バス 4 3に接続されている。DMA制御装置 3 3はアドレスバス 4 0、データバス 4 1及び第1と第2の制御信号バス 4 2、4 3にデータ及び制御信号を転送できるように接続されている。

今、第1のメモリ 3 2から第2のメモリ 3 4にDMA転送をすべきDMA要求信号 5 0がDMA制御装置 3 3に入力されると、DMA制御装置 3 3はCPU 3 1に対して一時停止要求信号 (HOLD) 5 1を発生する。CPU 3 1は命令サイクルの終了時点で、一時停止要求信号の有無を判断する。この時、一時停止要求信号があれば、CPU 3 1はアドレスバス 4 0、データバス 4 1及び第1と第2の制御信号バス 4 2、4 3をDMA制御装置 3 3に与える。更に、CPU 3 1はDMA制御装置 3 3に許可信号 5 2を転送する。

5

DMA制御装置はこの許可信号5を受けると、要求先にDMA承認信号53を送る。この様にして、DMA転送処理の準備がなされる。

第5図は第1のメモリ32から第2のメモリ34のDMA方式によつてデータを転送する時のタイミング図である。

まず、DMA制御装置33は第1のメモリ32に対するアドレスデータ(MB)をアドレス・バス40に出力する。次に、第1のメモリ読出し制御信号(MR)をバス43に送る。この結果、第1のメモリ32内の内容がデータ・バス41に読出されて、DMA制御装置33内のレジスタに一時的に格納される。次に、DMA制御装置33は第2のメモリ34へアドレスデータ(MC)を送る。このアドレスデータはアドレスバス40を介して第2のメモリ34へ供給される。更に、第2のメモリに対する書込み制御信号(MW)をバス43に転送して、同時に、DMA制御装置33内に格納されていた第1のメモリの内容が、データ・バス41を経由して第2のメモリ34に書き込まれる。この様にして1バイト分のDMA転送が終了する。多数のバイトをDMA転送する場合には、各バイト転送後、転送すべき内容をもつメモリのアドレス及び転送先のメモリのアドレスを、夫々自動的に、インクリメント又はデクリメントする。

このように、第2図に示すDMA転送システムにおいては両方のメモリに対してアドレス(MB及びMC)を指定しなければならない。しかも、1本のアドレス・バスが共用されている為に、アドレス指定の時間を異ならしめる必要がある。従つて、従来より使用されているDMA転送システムによると、メモリーメモリー間で1バイトの転送を実行する為に8クロック(期間 $T_1' = 2T_1$)を要し、高速度でのデータ転送ができなかつた。

本発明の主たる目的は、高速度でのデータ転送を可能とするデータ転送装置を提供することである。

本発明の他の目的は、特にアドレス指定を必要とする装置間でのDMA転送に好適なデータ転送装置を提供することである。

本発明の更に他の目的は、データが転送される装置もしくはデータを転送する装置のアドレスが不連続に変化する装置に対して好適なデータ転送

6

装置を提供することである。

本発明によれば、転送すべきデータを有するデータ送信部と、転送されたデータを格納するデータ受信部と、前記データ送信部からデータを転送する第1の制御部と、前記データ送信部から転送されるデータが一時的に格納される第1の格納部と、この第1の格納部からデータが転送される第2の格納部と、前記第1の格納部に前記データ送信部からデータが転送される期間に前記第2の格納部から前記データ受信部にデータを転送する第2の制御部とを有することを特徴とするデータ転送装置が得られる。

以下に、図面を参照して本発明の一実施例を詳細に説明する。

第3図は本実施例によるデータ転送装置の機能ブロック図である。この実施例では中央処理装置(CPU)61、第1及び第2のメモリ62、65、第1及び第2のDMA(ダイレクトメモリアクセス)コントローラ63、64を主構成要素とする。CPU61はアドレスバス70及びデータバス71で第1のメモリ62と接続されている。第1及び第2のDMAコントローラ63、64は夫々のデータバス71に接続できる様に配設されている。更に、第1のDMAコントローラ63はアドレスバス70に接続されることが可能で、直接第1のメモリ62をアドレス指定することができる。一方、第2のメモリ65は第2のDMAコントローラ64とアドレスバス90及びデータバス91で接続されている。CPU61及び第1のDMAコントローラ63は第1の制御信号バス73を用いて第1のメモリ62をアクセスすることができる。更に、CPU61は第2の制御信号バス72を介して第1及び第2のDMAコントローラ63及び64を制御できる。特に、第1のDMAコントローラ63は第2の制御信号バス72とは双方向性バスで接続されている。又、第2のDMAコントローラ64は第3の制御信号バス92を介して第2のメモリ65に対するデータの読み出し及び書き込みタイミングを制御できる。ここで、第2のDMAコントローラ64はCPU61及び第1のDMAコントローラ63からはI/O機器もしくはI/O機器制御用装置として見なされる。従つて、第2の制御信号バス72は従来のI/O制御信号バス(第1図の12)と等価な

7

ものである。

以下に、I/O機器として動作する第2のDMAコントローラ64が第1のメモリ62とDMA転送を行なう手順について説明する。

第2のDMAコントローラ64は第1のDMAコントローラ63に対してDMA要求信号80を送る。これを受けた第1のDMAコントローラ63はCPU61に対して一時停止を要求する信号(HOLD)81を送る。CPU61は命令サイクルの終わりにHOLD信号有無を判断する。HOLD信号があれば、CPU61はアドレスバス70、データバス71及び第1と第2の制御信号バス72, 73とを自身から切り離す。即ち、DMA転送のために各バスの使用権を第1のDMAコントローラ63に与える。更に、CPU61はDMA転送を承認する信号82を第1のDMAコントローラ63に送る。これを受けた第1のDMAコントローラ63は第2のDMAコントローラ64にDMA許可信号83を転送する。バスの切り離しとしては、例えば入出力段のTTLバッファ回路の入出力端子をフローティング状態(高インピーダンス状態)にすればよい。この状態において、第1のDMAコントローラ63は第1のメモリ62へアドレスを転送して、第2のDMAコントローラ64から転送されたデータを第1のメモリ62へ書き込む制御をする。尚、第1のメモリ62からデータを読み出して第2のDMAコントローラ64にそれを書き込むようにすることもできる。これは、第1のDMAコントローラ63が第1のメモリ62及び第2のDMAコントローラ64に対して読み出しもしくは書き込み信号をバス73, 72を介して転送すればよい。この様にしたかだか3~4クロック期間でI/O機器として動作する第2のDMAコントローラと第1のメモリとの間でDMA転送が実行される。このデータ転送の速度は前述したように極めて高速である。

更に、従来では高速度のデータ転送ができなかった第1のメモリ62と第2のメモリ65との間でのDMA転送について説明する。第2のDMAコントローラ64から第1のメモリ62と第2のメモリ65との間でのDMA転送要求信号80が発生されると、第1のDMAコントローラ63は前述した手順と同様の手順でCPU61からバス使

8

用権を得る。

第6図に、この実施例により第1のメモリ62から第2のメモリ65へデータを転送した時のタイミング図を示す。

第1のDMAコントローラ63は第1のメモリ62に対してアドレスデータ(MD)を送る。このアドレスデータ(MD)はDMA転送処理の初期にCPU61から予め与えられていたものとする。更に、第1のDMAコントローラ63は第1の制御信号バス73を介して第1のメモリ62に読み出し制御信号(MR)を送る。この結果、第1のメモリ62からデータバス71に指定されたデータが読み出される。次のタイミングで、第1のDMAコントローラ63は第2のDMAコントローラ64にデータ書き込み制御信号(IOW)をバス72を介して転送する。読み出されたデータはこの期間に第2のDMAコントローラ64内のレジスタに格納される。これまでに費されるクロック数は4クロックで、この期間T₁で第1のメモリ62から転送されたデータが第2のDMAコントローラ64に格納される。この期間は第4図に示す従来のメモリーI/O機器間のDMA転送期間と同じである。

次の期間T₂の最初のクロックでは、第1のDMAコントローラ63から第1のメモリ62へ供給されるアドレスデータ(MD)が1だけ増加(もしくは減少)されてMD±1として第1のメモリ62へ供給される。更に、次のクロックで第1のDMAコントローラ63は第1のメモリ62に対して読み出し制御信号(MR)を送り、第1のメモリ62からアドレス(MD±1)で指定されるデータをデータバス71に読み出す。これに続く次のクロックと同期して、第1のDMAコントローラ63は第2のDMAコントローラ64に対して書き込み制御信号(IOW)を発生する。尚、この期間の最初のクロックに反応して、第2のDMAコントローラ64は第2のメモリ65に対してアドレス(ME)を送っている。又、第1のDMAコントローラ63が第2のDMAコントローラ64に書き込み制御信号(IOW)を送るタイミングと同じタイミングで第2のDMAコントローラ64は第2のメモリ65に対して書き込み制御信号(MW)を送っている。即ち、第1のメモリ62から読み出されたデータが第2のDMA

コントローラ 6 4 に書き込まれる時間と重なる時間で、以前に第 2 の DMA コントローラ 6 4 に格納されていたデータが第 2 のメモリ 6 5 に書き込まれる (第 6 図期間 T_2)。その次の期間 T_3 では、同様の処理が実行され、アドレス ($MD \pm 2$) で指定された第 1 のメモリ 6 2 のデータが第 2 の DMA コントローラ 6 4 に格納され、以前に第 2 の DMA コントローラ 6 4 に格納されていたアドレス ($MD \pm 1$) で指定された第 1 のメモリのデータが第 2 のメモリ 6 5 に書き込まれる。

この結果、連続する期間の各々で第 1 のメモリ 6 2 と第 2 のメモリ 6 5 との間で DMA 転送を実行する時、第 6 図に示されるように期間 T_2 , T_3 , ……では夫々 2 つのデータが同じ期間で転送されているため、メモリーメモリ間でのデータ転送速度が従来に比べてほぼ 2 倍に高速化される。

以下に、第 7 図に回路図に示す本実施例の第 2 の DMA コントローラの一具体例を参照して、より詳細に説明する。尚、動作の説明は、この DMA コントローラを用いて第 1 のメモリから第 2 のメモリにデータを DMA 転送する場合を例示する。更に、第 1 のメモリと第 2 のメモリとは夫々第 8 図に示すようなアドレス領域が割り当てられている関係とする。即ち、第 1 のメモリ M_1 には横 16 バイト縦 128 バイトのアドレスが割り当てられており、第 2 のメモリ M_2 には横 64 バイト縦 512 バイトのアドレスが割り当てられている。1 バイトとは 1 つのアドレスデータで指定されるメモリ領域を指す。例えば、1 バイト当り 4 ビットのメモリ領域を有するメモリを仮定すると、第 1 のメモリ M_1 は横方向に $16 \times 4 = 64$ ビット、縦方向に $128 \times 4 = 512$ ビットの容量をもつメモリであるといえることができる。かかる第 1 のメモリ M_1 に対して、アドレス 1 番地を指定すると、左上段の最初の横 4 ビットデータが読み出される。更に、2 番地を指定すると同列横方向に次の 4 ビットデータが読み出される。又、17 番地を指定すると第 2 列目の最初の 4 ビットデータが読み出される。この様にして、1 番地から 2048 番地までのアドレスを連続して指定することにより、第 1 のメモリ M_1 のすべてのデータが読み出される。尚、この第 1 のメモリ M_1 にデータを書き込む時のアドレス指定も同様でよい。一方、第 2 のメモ

リ M_2 は横方向に $64 \times 4 = 256$ ビット、縦方向に $512 \times 4 = 2048$ ビットの容量をもつ大容量メモリである。このメモリ M_2 に割り当てられるアドレスは 1 番地 ~ 32768 番地までである。今、例えば第 1 のメモリ M_1 のデータを第 2 のメモリ M_2 の点線で示す領域に書き込む場合を考える。この場合には第 1 のメモリ M_1 に対してはアドレスを 1 番地から順に 1 ずつ増加させることにより全部のデータを読み出すことができる。しかしながら第 2 のメモリ M_2 に対しては、第 1 のメモリと同様にアドレスを連続的に 1 ずつ増加させても点線で囲まれた領域に書き込むことはできない。従つて、従来はこの様なメモリ間移行はハードウェアで制御することはできず、すべて長い時間をかけてソフトウェアによつて処理していた。特に、画像処理を行なう場合に不都合が生じていた。即ち、第 2 のメモリ M_2 の全体が CRT 画面に対していると考えればよい。この場合、第 2 のメモリ M_2 の 1 ビットは CRT 画面上の一画素に対応できる。一方、第 1 のメモリ M_1 には CPU で処理された画像データが一時的に設定され、このメモリ M_1 からメモリ M_2 の所定の領域 (例えば破線領域) にデータを書き込むことによつて一画面分の画像データが設定されるものとする。第 2 のメモリ M_2 に設定された一画面分の画像データは順次 CRT 表示部へ転送されて対応する画素上に表示される。従つて、第 1 のメモリ M_1 に編集されたデータをそのアドレス順序に従つて第 2 のメモリ M_2 の先頭アドレスから順に書き込んでいく場合には、夫々のメモリに対するアドレス歩進は単に 1 ずつ増加させるだけでよい。しかしながら、画面上の特定の領域 (例えば、破線領域) の画像を変更する場合には、上述のアドレス歩進では不可能である。又、第 1 のメモリ M_1 から第 2 のメモリ M_2 へデータを書き込む操作を従来の DMA 転送装置を用いて行なつたととしても、16 バイト毎に DMA 転送を打ち切り、その都度新たに DMA 転送開始アドレス、転送総バイト数の設定を行なわねばならなかつた。従つて、転送時間が増大するという重大欠点を持つていた。更に、破線領域に第 1 のメモリのデータが正確に書き込まれるように、ソフトウェアによつてプログラム処理を行なつたととしても、非常に高速度でプログラム処理しなければ画像にちらつき等が生じる。従来のソフトウェア

11

能力ではこの高速処理が極めて困難であつた。この点、本実施例で示す第7図のDMAコントローラを用いると、非常に簡単にかつ高速に画像データの変更(第2のメモリ M_2 へのデータの書き込み)ができる。

以下に、その機能の説明と動作の説明とを行なう。

第7図は第3図に示した第2のDMAコントローラの内部回路図である。DMA転送命令実行前に、CPU(第3図の61)は第2のメモリ M_2 10(第3図の65に相当する)に対するDMA開始アドレスを内部データバス139を介してレジスタAD103及びAD'102に設定する。レジスタD106及びD'107には第8図に示す第2のメモリ M_2 の破線領域の列方向(横方向)に沿つたアドレスの数(この実施例では16)が設定される。又、レジスタP104には不連続なアドレス演算を実行する時に使用される数値(この実施例では、第2のメモリ M_2 の横方向アドレス数=64)が設定される。更に、レジスタDC105には第8図に示す第2のメモリ M_2 の破線領域の行方向(縦方向)に沿つたアドレス数(この実施例では128)が設定される。更に、DCレジスタ105とDレジスタ106にはデクリメント機能(-1演算)が設けられており、“-1”入力端子に信号が加えられる毎にその内容が-1だけ減算される。更に、これらDCレジスタ105とDレジスタ106には夫々零検出器118, 117が接続されている。零検出器117, 118はレジスタの内容が零でなければ“L”レベル信号を、零ならば“H”レベル信号を発生する。この信号はANDゲート129~134及びインバータ135~137に入力される。これら各ゲート回路129~137は信号の入力状態に应答して、D及びDCレジスタのデクリメント制御、レジスタD'107の内容をレジスタD106に転送する制御、DMA転送の終了を指示する信号(ANDゲート129の出力)の制御、タイミング発生器110へのリセット信号(ANDゲート130の出力)の制御、アドレス演算結果の転送制御(ゲート124, 125の開閉)、レジスタの選択制御、アドレス演算の制御を行なうタイミング信号を発生する。アドレス演算器AU101は、アドレス制御回路100からの指令によつて、以下に

12

説明する演算処理を実行する。

- (1) $AD \pm P \rightarrow AD, AD'$ (ADレジスタの内容とPレジスタの内容との加減算を行ない、結果をADレジスタもしくはAD'レジスタに設定する)
- (2) $AD \pm 1 \rightarrow AD, AD'$ (ADレジスタの内容を+1もしくは-1して、結果をADもしくはAD'レジスタに設定する)
- (3) $AD \pm P \pm 1 \rightarrow AD, AD'$ (ADレジスタの内容とPレジスタの内容とを加算して更に1を加えるか、もしくはADレジスタの内容からPレジスタの内容を引いて、更に1を引くかして、その結果をADもしくはAD'レジスタに設定する)
- (4) $AD' \pm P \rightarrow AD'$ (AD'レジスタの内容とPレジスタの内容とを加算もしくは減算して、結果をAD'レジスタに設定する)
- (5) $AD' \pm 1 \rightarrow AD'$ (AD'レジスタの内容を1増加するか、もしくは減算して、結果をAD'レジスタに設定する)
- (6) $AD' \pm P \pm 1 \rightarrow AD'$ (AD'レジスタの内容とPレジスタの内容と1とを加算するか、もしくはAD'レジスタの内容からPレジスタの内容を減算して更に1を引くかを実行し、結果をAD'レジスタに設定する)

一方、トリガー回路111は入力信号が“H”レベルから“L”レベルに変化すると駆動信号(例えば“H”レベル)を発生する。この駆動信号によつて、レジスタDATA112に一時的に格納された第1のメモリ M_1 からの転送データを第2のメモリ M_2 に移すべく、データ・バス140を介してレジスタDATA'113へ転送するためのゲート回路120が活性化される。更に、前記駆動信号はDMA実行レジスタ109を駆動する。この結果、ゲート回路114, 115が開かれて第2のメモリ M_2 に接続されているアドレスバス(第3図の90)とデータバス(第3図の91)とに接続される。更に、アドレス演算タイミングを制御するタイミング信号発生器110を活性化する。トリガー回路116は、トリガー回路111と同様に、入力信号が“H”から“L”に変化すると駆動信号(例えば“H”レベル)を発生する回路である。レジスタD, DC, D'の動作は全て、この駆動信号によつてそのタイミングが

制御される。

今、DMA転送を要求するDMA REQUEST信号（第3図の80に相当する）がレジスタDREQ 108から発生されて、CPU（第3図の61）がそれを許可したものとす。この状態において、システムにはDMA転送モードが設定される。まず、第1のメモリ（第3図の62）と第2のDMAコントローラ（第7図図示）との間でDMA転送が実行される。この転送制御は第1のDMAコントローラ（第3図の63）が行なう。動作タイミングは第6図に期間 T_1 に示されたものと同様である。尚、第6図から明らかなように第1のDMAコントローラ（第3図の63）から出力される各制御信号は夫々の期間内で時間制御されている。即ち、第1のメモリに対する読み出し制御信号（ \overline{MR} ）は第2のクロックから第4のクロックまで、書き込み制御信号（ \overline{IOW} ）は第3クロックから第4クロックの途中まで、又DMA承認信号（ \overline{DACK} ）は第2クロックから第4クロックまで夫々出力される。定められた期間内で、NORゲート127には第2のDMAコントローラに第1のメモリの内容を書き込むための指示をする書き込み制御信号（ \overline{IOW} ）が入力される。この信号は第1のDMAコントローラ63から送られて来る。更に、この時同じNORゲート127の他の入力端にはDMA承認信号（第3図の83に相当する）も入力されている。この結果、ゲート回路119が開いて、データバス（第3図の71）から第1のメモリの内容がレジスタDATA 112に格納される。

以上は、第6図の期間 T_1 において実行される。次に期間 T_2 に移る。尚、この期間 T_2 の初期状態ではトリガー回路111からは期間 T_1 の第4クロック時から駆動信号が発生されている。これに基づいて、ゲート回路120が開き、レジスタDATA 112に格納された内容は内部バス140を介してレジスタDATA' 113に移されている。一方、DMA実行レジスタ109は、タイミング信号発生器110を活性化して、かつゲート回路115を開くための制御信号を出力する。この時、レジスタAD' 102には第2のメモリ（第3図の65）に対するアドレスが内部バス139を介して予め設定されているので、そのアドレスが第2のメモリに対して出力される。更に、

タイミング信号発生器110からは各回路（レジスタやゲート）の動作タイミングを制御するタイミング信号 $E_1 \sim E_4$ が発生される。この信号群のうち、第3のクロックに同期してタイミング信号 E_3 が発生されると、インバータ141から書き込み制御信号（ \overline{MW} ）が第2のメモリに送られる。ここで、各タイミング信号 $E_1 \sim E_4$ は夫々分周回路等によつて時間的に異なるタイミングで発生されるようにしてもよい。タイミング信号 E_3 は制御信号バス（第3図の92）を介して転送される。更にORゲート128からゲート回路114を開くための制御信号が出力されているので、レジスタDATA' 113に書き込まれている第1のメモリの内容がレジスタAD' 102のアドレスで指定される第2のメモリの領域に書き込まれる。これは第3クロックの発生期間に行なわれる。

一方、期間 T_2 では第1のメモリと第2のDMAコントローラのレジスタDATA 112との間でもDMA転送が行なわれる。即ち、第1のDMAコントローラから発生される次のアドレス（ $MD \pm 1$ ）にตอบสนองして第1のメモリから読み出された内容がデータバス138（第3図の71）を通してゲート回路119からレジスタDATA 112に格納される。これは期間 T_2 の第3クロックにより制御される。尚、このタイミングでは、ゲート回路120が閉じているためレジスタDATA 112に格納された次の内容がレジスタDATA' 113に移されることはない。従つて、期間 T_1 でレジスタDATA' 113に書き込まれた内容が第2のメモリに転送されている時に、第1のメモリから読み出された次の内容が同時に第2のメモリへ転送されるということはない。レジスタDATA 112に書き込まれた次の内容は、期間 T_2 の第4クロックの後半にトリガー回路111が駆動された時にレジスタDATA' 113に移される。

この結果、第2のDMAコントローラに書き込まれた前の内容が第2のメモリに書き込まれる期間に、第1のメモリから次の内容を読み出して第2のDMAコントローラに設定することができる。従つて、結果的には第1のメモリと第2のメモリとの間で1つの内容を転送するDMA転送のサイクルは4クロック分でよい。このため、従来

に比べて約2倍の速度でメモリ間での連続的なデータ転送を実行することができる。これは画像処理のように高速度のデータ転送が要求される処理に対して好適である。

更に、この実施例によれば、第8図に示すように第1のメモリ M_1 の内容が書き込まれる第2のメモリ M_2 の領域において、その領域のアドレスが不連続に変化する場合においても、転送速度を低下することなく高速で内容の書き込みができる。今、第1のメモリ M_1 から送られるが内容が、第2のメモリ M_2 の破線領域内に書き込まれるものとする。この場合、第2のメモリ M_2 に対するアドレスの変化は、その先頭アドレスを X とすると、破線内の第1列目は $X \sim X+15$ 、第2列目は $X+64 \sim X+79$ 、第3列目は $X+128 \sim X+143$ ……、第128列目は $X+8128 \sim X+8143$ となる。

従って、従来のDMA転送装置では128回のDMA転送命令を実行しなければならなかった。更に、各DMA転送命令の開始時には第2のメモリに対する先頭アドレス(X 、 $X+64$ 、 $X+128$ 、……、 $X+8128$)をDMAコントローラに夫々設定するための処理を実行しなければならなかった。これはDMA転送の速度を著しく低下させる大きな要因であった。

この点、本実施例ではかかる欠点をすべて解決することができる。この実施例では第2のDMAコントローラ(第7図)内に第2のメモリに対する新規なアドレス指定部が設けられている。その主たる回路はアドレス演算器AU101、AD及びADレジスタ103、102、Pレジスタ104、DCレジスタ105、零検出器117、118及びD、D'レジスタ106、107と、それらの制御回路(アドレスコントローラ100、タイミング発生器110、トリガー回路116、ゲート回路121~137)である。

まず、AD及びAD'レジスタ103、102に第2のメモリの先頭アドレス: X を設定する。更に、D及びD'レジスタ106、107に第2のメモリの破線部の列方向のアドレス数(第1のメモリの列方向のアドレス数):16を設定する。DCレジスタ105には破線部の行方向のアドレス数(第1のメモリの行方向のアドレス数):128が設定される。一方、Pレジスタ104には

第2のメモリの列方向のアドレス数:64が設定される。この状態設定が終了するとDMA転送が開始される。

転送時の処理としては、AD'レジスタ102の内容 X がアドレスとして第2のメモリに供給される。このアドレス X にはレジスタDATA'113の内容が書き込まれる。一方、各期間の第2~第4クロックサイクル中に出力されるDMA承認信号(DACK)のレベルが“H”から“L”に変化する毎に、トリガー回路116から駆動信号が1回づつ発生される。この駆動信号に基いてDレジスタ106の内容が1づつ減算される。尚、この減算処理はDレジスタの内容を検出している零検出回路117が、零を検出しない時のみである。従って、この実施例では16回-1減算が実行される。尚、AD'レジスタ102の内容はタイミング信号 E_4 の制御の下で、アドレス演算器AU101によつて1づつ加算される。この加算演算も上述したDレジスタの減算演算と同様、各期間毎に1回行なわれる。アドレス演算器AU101の一方に入力される数値「1」はアドレスコントローラ100からそのC入力部に入力される。この様にして、AD'レジスタ102の内容は X 、 $X+1$ 、 $X+2$ 、……、 $X+15$ まで変化され、第1のメモリの第一列にある内容が順次第2のメモリのアドレス $X \sim X+15$ (即ち、破線部の第一列)に連続して書き込まれる。一方、Dレジスタ106の内容が「0」になると零検出器117から例えば“H”レベルの検出信号が発生される。この結果、ANDゲート133の出力が“H”となり、ゲート回路121が開かれ、D'レジスタ107の内容16がDレジスタに移される。更に、ANDゲート131の出力も“H”となり、DCレジスタ105の内容が1だけ減算される。これと同時に、零検出器117からの検出信号に応答してアドレスコントローラ100からゲート回路123を開く制御信号が出力される。又、ゲート回路124も開かれる。この結果、アドレス演算器AU101ではADレジスタ103の内容とPレジスタ104の内容とが加算され、その結果が $X+64$ としてADレジスタ103とAD'レジスタ102とに設定される。従って、DATA'レジスタ113から読み出される次の内容は、第2のメモリのアドレス: $X+64$ に自動的に書き込まれる。この

アドレスは破線部の第二列の先頭アドレスと一致する。以下、同様の処理が実行される。そして、第1のメモリの最終アドレスの内容が第2のメモリに書き込まれた後は、零検出器117と118との双方から“H”レベル信号が出力されるので、ANDゲート129を介してDREQレジスタ108をリセットする制御信号が出力される。この結果、DMA要求信号(DMA REQUEST)が解除されDMA転送が終了される。この結果、第2のDMAコントローラが第2のメモリに対して内容転送を終了したことを第1のDMAコントローラ(第3図の63)は認識する。第1のDMAコントローラは他に処理がないことを判断して、CPUに対してDMA終了を教える。

以上の様に、この実施例によれば1回のDMA転送命令を実行するだけで、アドレスが不連続に変化するメモリに対してそのアドレス変化に自動的に追従してデータの転送を行なうことができる。従って、高速度でのDMA転送が可能となり、画像処理にも十分適用できる。

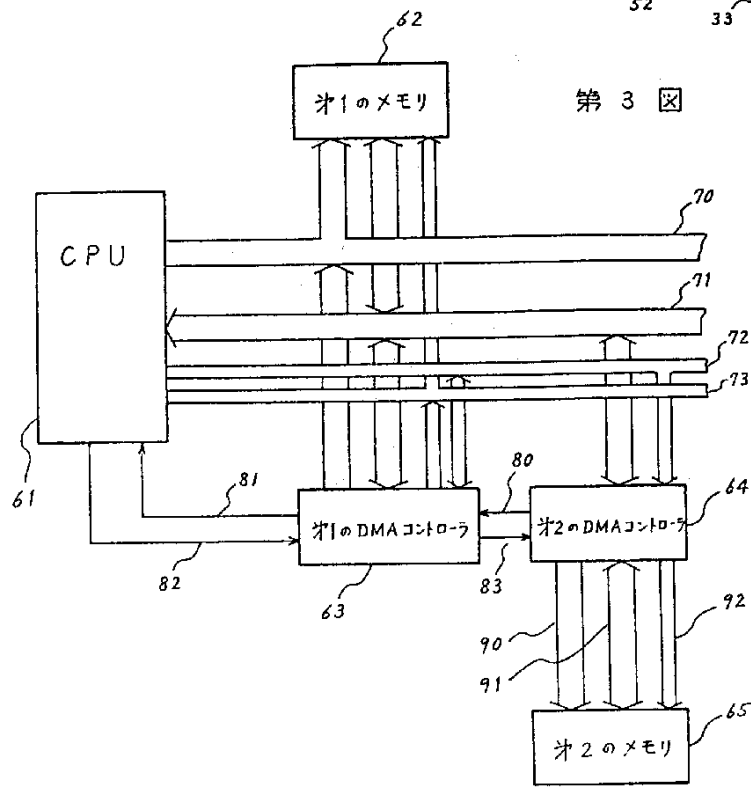
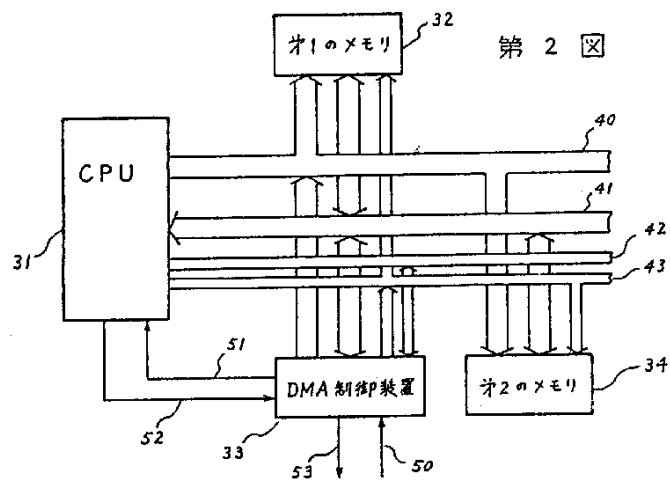
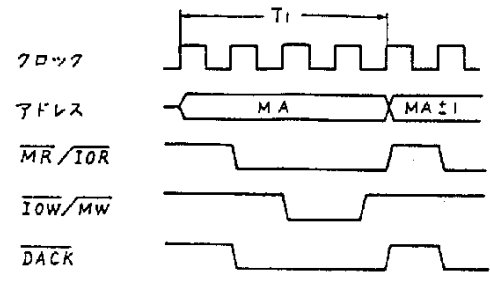
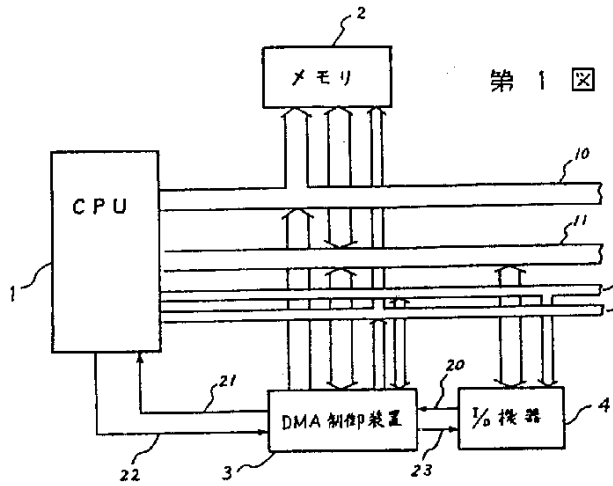
尚、本実施例の説明では、第1のメモリから第2のメモリへのDMA転送を取り上げているが、第2のメモリから第1のメモリへのDMA転送についても勿論可能である。この場合、第2のコントローラから第2のメモリに対する読み出し制御信号を発生して、バス140及びDATA、DATA'レジスタを双方向制御にしてもよい。また、転送方向をメモリの“左から右”にとつた場合について説明したが、“右から左”、“上から下”、“下から上”等についてもアドレス制御器の制御モードを変更することによつて可能であることはいうまでもない。更に、データが転送されるべきメモリのアドレスが順次連続している場合には、上述したアドレス処理機構を省略してもよい。又、データ転送されるメモリのアドレスが不連続に変化するもので、高速化を必要としない場合には、DATAレジスタとDATA'レジスタのうちいづれか一方を省略してもよい。更に、DMA転送対象機器としてはメモリ以外のものでもよ

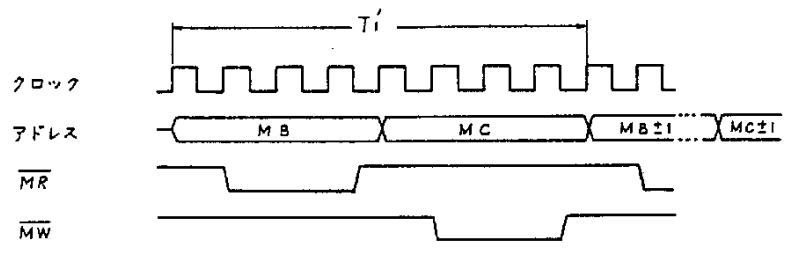
く、又3者間以上でのDMA転送に対しても第2のメモリに第2のコントローラと等価のコントローラを接続してそれに第3のメモリを接続するようにすればよい。更にDMA転送にのみ限定されることなく、CPU内部に本発明のデータ転送回路機構を設けてもよい。

図面の簡単な説明

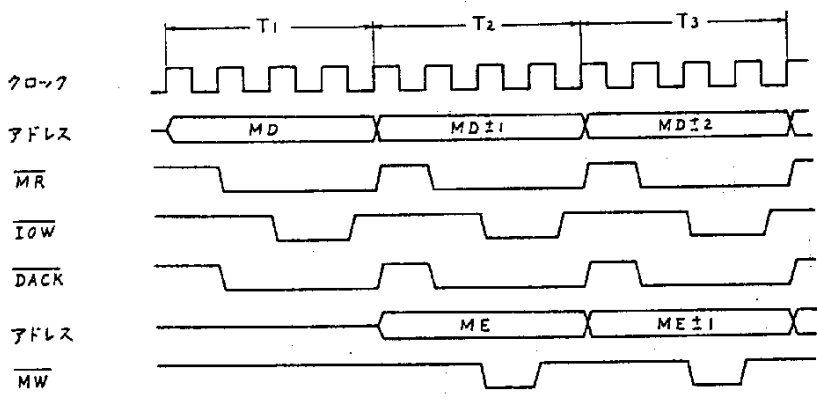
第1図はメモリーI/O機器間のDMA転送装置の従来例を示すブロック図、第2図はメモリーメモリ間のDMA転送装置の従来例を示すブロック図、第3図は本発明の一実施例によるデータ転送装置のブロック図、第4図は第1図の動作タイミング図、第5図は第2図の動作タイミング図、第6図は第3図の動作タイミング図、第7図は第3図の第2のDMAコントローラの一実施例を示すブロック図、第8図はメモリーメモリ間データ転送における各メモリのアドレス区分を示すメモリブロック図である。

1, 31, 61……CPU、2, 32, 34, 62, 65……メモリ、3, 33……DMA制御装置、4……I/O機器、10, 40, 70, 90……アドレスバス、11, 41, 71, 91……データバス、12, 13, 42, 43, 72, 73, 92……制御信号バス、20~23, 50~53, 80~83……制御信号、101……アドレス演算器、100……アドレスコントローラ、102……AD'レジスタ、103……ADレジスタ、104……Pレジスタ、105……DCレジスタ、106……Dレジスタ、107……D'レジスタ、108……DREQレジスタ、109……DMA実行レジスタ、110……タイミング信号発生器、111, 116……トリガー回路、112……DATAレジスタ、113……DATA'レジスタ、114, 115, 119~126……ゲート回路、117, 118……零検出器、127……NORゲート、128……ORゲート、129~134……ANDゲート、135~137, 141……インバータ、138~140……データバス。

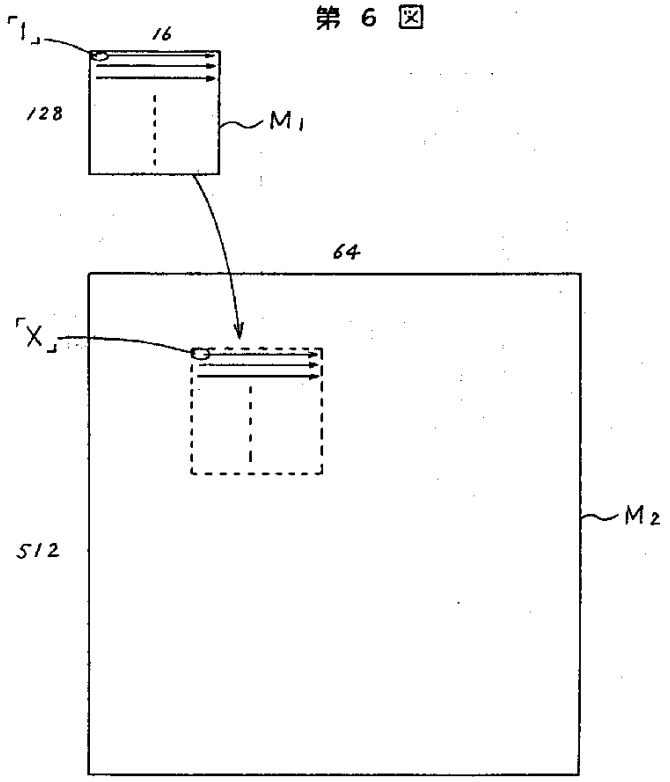




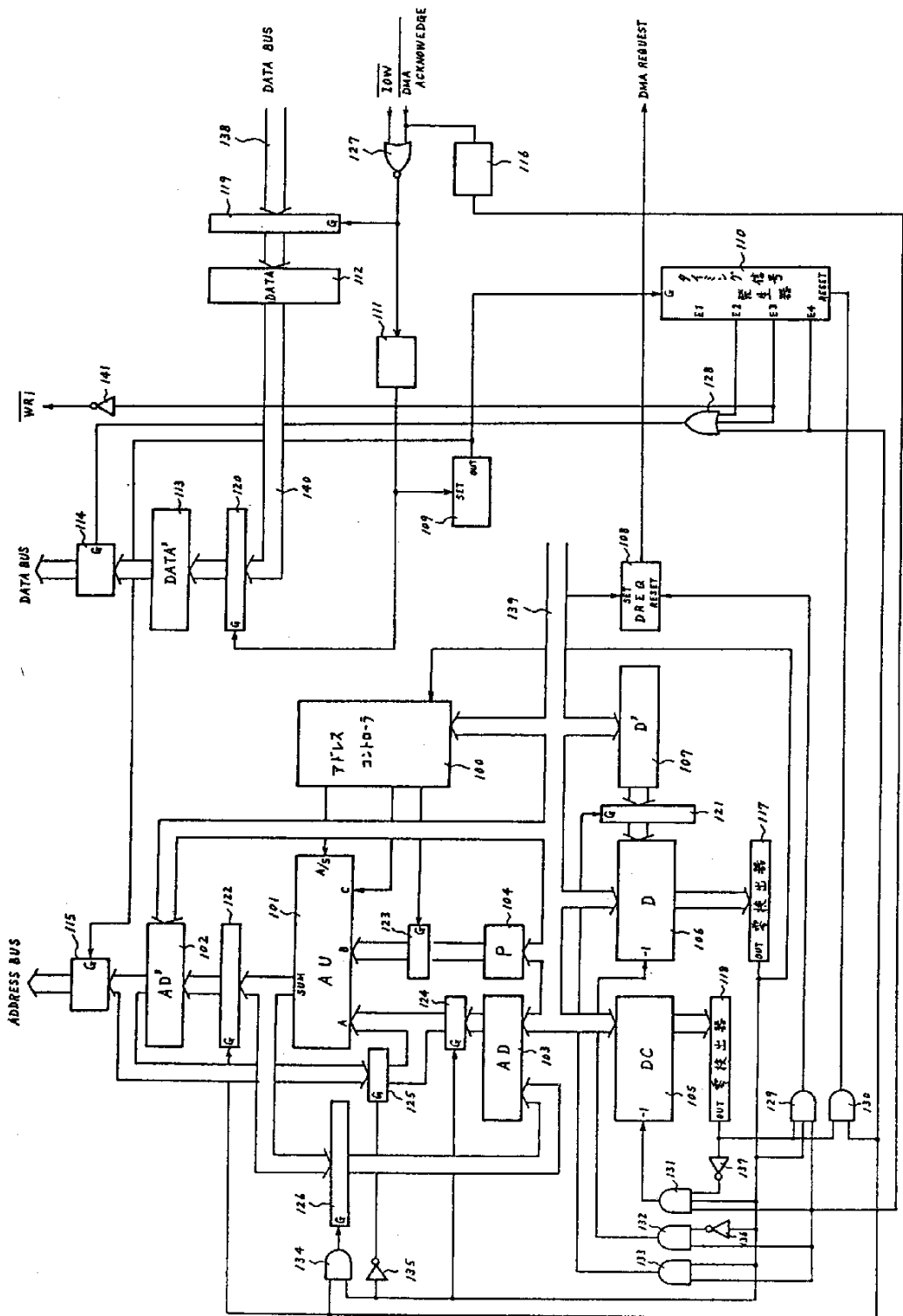
第 5 図



第 6 図



第 8 図



第 7 图