

⑫ 特許公報 (B2) 昭58-41533

⑬ Int.Cl.³ 識別記号 庁内整理番号 ⑭公告 昭和58年(1983)9月13日
G 06 F 7/50 7056-5B 発明の数 2

(全5頁)

1	2
⑮全加減算回路	<p>入力端子と、桁上又は桁借りの一方を表わす第3の信号を受ける第3の入力端子と、加算および減算の一方を指示する制御信号を受ける制御端子と、加算又は減算結果を表わす第1の出力信号を発生する第1の出力端子と、次段への桁上げ又は桁借りを示す第2の出力信号を発生する第2の出力端子と、上記第1および第2の入力端子に結合し、第1および第2の入力信号の排他的論理和出力の真値および補値を発生する加算回路と、前記第3の入力端子と前記第1の出力端子に結合し、上記排他的論理和出力の真値および補値にそれぞれ応答して前記第3の信号の真値および補値を上記第1の出力端子に伝達する答発生回路と、上記第2と第3の入力端子に結合し桁上げ桁借り回路と、上記制御端子と第2の出力端子に結合した選択回路とを有し、上記桁上げ桁借り回路は上記排他的論理和出力の補値および真値にそれぞれ応答して上記第3の信号および第2の信号を上記選択回路に伝達し、上記選択回路は上記制御信号に応答して上記次段への桁上げ信号又は次段への桁借り信号を上記第2の出力端子に伝達するようになされたことを特徴とする全加減算回路。</p>
⑯特 願 昭50-130534	5
⑰出 願 昭50(1975)10月31日	
⑱公 開 昭52-63036	
⑲昭52(1977)5月25日	
⑳発 明 者 小口 哲司 東京都港区芝五丁目33番1号 日 本電気株式会社内	
㉑発 明 者 河合 弘一 東京都港区芝五丁目33番1号 日 本電気株式会社内	10
㉒出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号	
㉓代 理 人 弁理士 内原 晋 外4名	15
㉔特許請求の範囲	
<p>1 演算数信号および被演算数信号の排他的論理和信号を出力する排他的論理和信号発生部と、上げおよび借りのうちの1つを表わす第1の信号を受け上記排他的論理和信号発生部の出力に応答して上記第1の信号およびその否定論理信号のうちの1つを答信号として取り出す答信号発生部と、上記排他的論理和信号発生部の出力に応答して上記第1の信号および上記演算数信号または被演算数信号のうちの一方を上げ信号とし他方を借り信号として取り出す上げおよび借り信号発生部と、加算および減算のうちの1つを指定する信号に応答して上記上げ信号および上記借り信号のうちの1つを選択する選択回路とを含む全加減算回路。</p>	20
<p>2 演算数および被演算数の一方を表わす第1の信号を受ける第1の入力端子と、演算数および被演算数の他方を表わす第2の信号を受ける第2の</p>	25
	発明の詳細な説明
	<p>本発明は加算および減算のうち所望の演算モードを指定することによってその演算結果が出力される全加減算回路に関するものである。</p>
	<p>一般に全加減算回路は3個の2進数入力に対して2個の出力が得られる加減算回路である。従来、全加減算器は例えば第1図に示すような多数のゲート回路で構成され、ゲート回路間の接続も極めて複雑であつた。この回路の動作を示す真理表を下に示す。</p>