

⑫ 特 許 公 報 (B 2) 昭58-41533

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭公告 昭和58年(1983) 9月13日

G 06 F 7/50

7056-5B

発明の数 2

(全5頁)

1	2
⑮全加減算回路	<p>入力端子と、桁上又は桁借りの一方を表わす第3の信号を受ける第3の入力端子と、加算および減算の一方を指示する制御信号を受ける制御端子と、加算又は減算結果を表わす第1の出力信号を発生する第1の出力端子と、次段への桁上げ又は桁借りを示す第2の出力信号を発生する第2の出力端子と、上記第1および第2の入力端子に結合し、第1および第2の入力信号の排他的論理和出力の真値および補値を発生する加算回路と、前記第3の入力端子と前記第1の出力端子に結合し、上記排他的論理和出力の真値および補値にそれぞれ応答して前記第3の信号の真値および補値を上記第1の出力端子に伝達する答発生回路と、上記第2と第3の入力端子に結合し桁上げ桁借り回路と、上記制御端子と第2の出力端子に結合した選択回路とを有し、上記桁上げ桁借り回路は上記排他的論理和出力の補値および真値にそれぞれ応答して上記第3の信号および第2の信号を上記選択回路に伝達し、上記選択回路は上記制御信号に回答して上記次段への桁上げ信号又は次段への桁借り信号を上記第2の出力端子に伝達するようになされたことを特徴とする全加減算回路。</p>
⑯特 願 昭50-130534	5
⑰出 願 昭50(1975)10月31日	
⑱公 開 昭52-63036	
⑲昭52(1977) 5月25日	
⑳発 明 者 小口 哲司 東京都港区芝五丁目33番1号 日 本電気株式会社内	
㉑発 明 者 河合 弘一 東京都港区芝五丁目33番1号 日 本電気株式会社内	10
㉒出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号	
㉓代 理 人 弁理士 内原 晋 外4名	15
㉔特許請求の範囲	
<p>1 演算数信号および被演算数信号の排他的論理和信号を出力する排他的論理和信号発生部と、上げおよび借りのうちの1つを表わす第1の信号を受け上記排他的論理和信号発生部の出力に回答して上記第1の信号およびその否定論理信号のうちの1つを答信号として取り出す答信号発生部と、上記排他的論理和信号発生部の出力に回答して上記第1の信号および上記演算数信号または被演算数信号のうちの一方を上げ信号とし他方を借り信号として取り出す上げおよび借り信号発生部と、加算および減算のうちの1つを指定する信号に回答して上記上げ信号および上記借り信号のうちの1つを選択する選択回路とを含む全加減算回路。</p>	20
<p>2 演算数および被演算数の一方を表わす第1の信号を受ける第1の入力端子と、演算数および被演算数の他方を表わす第2の信号を受ける第2の</p>	25
	発明の詳細な説明
	<p>本発明は加算および減算のうち所望の演算モードを指定することによってその演算結果が出力される全加減算回路に関するものである。</p>
	<p>一般に全加減算回路は3個の2進数入力に対して2個の出力が得られる加減算回路である。従来、全加減算器は例えば第1図に示すような多数のゲート回路で構成され、ゲート回路間の接続も極めて複雑であつた。この回路の動作を示す真理表を下に示す。</p>

A	B	C	Op	Fout	Ca/Bo	A	B	C	Op	Fout	Ca/Bo
0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	1	0	0	0	1	0
0	1	0	1	1	0	0	1	0	0	1	1
1	1	0	1	0	1	1	1	0	0	0	0
0	0	1	1	1	0	0	0	1	0	1	1
1	0	1	1	0	1	1	0	1	0	0	0
0	1	1	1	0	1	0	1	1	0	0	1
1	1	1	1	1	1	1	1	1	0	1	1

ここで、Aは被演算数信号、Bは演算数信号、Cは下のビット(桁)からのビット(桁)上げ又はビット(桁)借り信号、Foutは演算によつて得られる答信号、Ca/Boは演算によつて得られる上のビット(桁)へのビット(桁)上げ又はビット(桁)借り信号を、それぞれ示している。なお、Opは演算モード設定信号であり、Opが論理“1”のとき加算結果が得られ、Opが論理“0”のとき減算結果が得られる。したがつて、全加算器にする場合Opは“1”とし、全減算器にする場合Opは“0”とすればよい。

この第1図の回路では、1ビットのCa/Boを得るためには最大5段のゲートを通過する。仮りにゲート1段を通過するのに要する時間をtとすると、1ビットに対して最大5tの時間遅れが生ずる。この回路をn個組み合せて第3図に示したnビット並列全加減算回路を構成した場合、Ca/Boで5t遅れたデータがL2でまた最大5段のゲートを通過するため、最大2×5t遅れ、Lnでは同様に最大5nt遅れる。すなわち、nビット並列全加減算回路では5nt時間の遅れを見込まなければならない。

本発明の第1の目的は、演算処理に要する時間を短縮できる全加減算回路を提供することにある。

本発明の第2の目的は、極めて簡単な回路構成で上記第1の目的を達成することにある。

本発明の第3の目的は、集積化に極めて有利な電界効果トランジスタ(FET)を用いて構成し得る全加減算回路を提供することにある。

本発明の第4の目的は、1/4加算回路

(Quarter Adder)を1個だけ用いて全加減算が行えるようにした極めて新規なる回路構成の全加減算回路を提供することにある。

本発明の第5の目的は、全加減算回路を複数個並列に接続して複数ビット並列演算用全加減算回路を構成した場合、どんなに多数個の回路を並列接続しても実質2ビット目までの処理時間の遅れですませることを可能にする全加減算回路を提供することにある。

以下、本発明の実施例を図面を参照して説明する。

第2図は本発明による全加減算回路の一実施例を示した回路図である。図において、I1、I2、I3はインバータ回路、T1～T10およびTLは電界効果トランジスタ(FET)である。

被演算数信号Aの入力端は、T7のゲート電極およびT8のソース電極に接続する。演算数信号Bの入力端は、T7のソース電極およびT8のゲート電極に接続するとともに、T6のソース電極およびT3のソース電極に接続する。前ビットからのビット上げまたはビット借り信号Cの入力端は、I1の入力端およびT1のソース電極に接続するとともに、T4のソース電極およびT5のソース電極に接続する。I1の出力端はT2のソース電極に接続する。T2のドレイン電極はT1のドレイン電極に接続し、その接続点を答信号の出力端子Foutに接続する。

演算指定信号Opの入力端は、I3の入力端およびT10のゲート電極に接続する。T7のドレイン電極は、T8のドレイン電極およびI2の入力端に

接続するとともに、 T_1 、 T_3 、 T_5 のゲート電極および電源Eを供給する負荷用電界効果トランジスタ T_L に接続する。 I_2 の出力端は T_2 、 T_4 、 T_6 のゲート電極に接続する。 I_3 の出力端は T_9 のゲート電極に接続する。 T_4 のドレイン電極は、 T_3 のドレイン電極および T_9 のソース電極に接続する。 T_6 のドレイン電極は、 T_5 のドレイン電極および T_{10} のソース電極に接続する。 T_9 のドレイン電極は、 T_{10} のドレイン電極と接続し、その接続点をビット上げまたはビット借り信号の出力端子 C_a/B_o に接続する。

このような構成において、たとえば今、各入力端子に論理データの入力信号がそれぞれ供給されると、次のような動作を行なう。説明の便利上、 $T_1 \sim T_{10}$ 、 T_L がPチャンネル形電界効果トランジスタで、E端子に $-E$ ボルト（論理データ“0”）を印加したものとする。なお、電源電圧Eは電界効果トランジスタのスレッショールド電圧よりはるかに大きい電圧値とする。

- (i) Aが“0”レベル、Bが“0”レベル、Cが“0”レベル、 O_P が“1”レベルの場合、 T_7 、 T_8 、 T_1 、 T_3 、 T_5 、 T_9 はそれぞれ導通状態となり、 T_2 、 T_4 、 T_6 、 T_{10} はそれぞれ非導通状態となる。したがって、 F_{out} は T_1 を通してCのレベルが入ってくるので“0”レベルに、 C_a/B_o は T_3 、 T_9 を通してBのレベルが入ってくるので“0”レベルになる。
- (ii) Aが“1”レベル、Bが“0”レベル、Cが“0”レベル、 O_P が“1”レベルの場合、 T_8 、 T_2 、 T_4 、 T_6 、 T_9 はそれぞれ導通状態となり、 T_7 、 T_1 、 T_3 、 T_5 、 T_{10} はそれぞれ非導通状態となる。したがって、 F_{out} は T_2 を通してCの否定レベルが入ってくるので“1”レベルに、 C_a/B_o は T_4 、 T_9 を通してCのレベルが入ってくるので“0”レベルになる。

このようにして各入力信号の他の組み合わせについても、同様に、前述した真理表に示した加減算動作が達せられる。なお、以上の動作は、 $-E$ ボルトを“0”レベル、0ボルトを“1”レベルとした正論理の場合であるが、レベルを全く逆に考えれば負論理でも成り立つ。また $T_1 \sim T_{10}$ がNチャンネル形電界効果トランジスタでも同様に成り立つ。

以上に第2図に示した実施例の回路接続および

動作を説明したが、以下に第2図の回路の特徴を説明する。

すなわち、1/4加算回路部1を1個だけ用いて全加減算回路を構成したことである。すなわち、本実施例の回路は1/4加算回路部1と答信号決定回路部2とビット上げ信号決定回路部3とビット借り信号決定回路部4と演算モード設定回路部5とから構成されている。

1/4加算回路部1は3個のFET T_7 、 T_3 、 T_L を有し、2つのオペランド信号AおよびBの入力に対して排他的論理信号を出力する。すなわち、2入力と同じ論理の信号ならば“0”を、異なっている場合は“1”を出力する。

答信号決定回路部2は1/4加算回路部1の出力により応動するFET T_1 および1/4加算回路部1の出力の否定論理信号により応動するFET T_2 を有している。1/4加算回路部1の出力が“0”の時、FET T_1 が導通し、 F_{out} 端子にはC端子に印加されている信号が取り出される。他方、1/4加算回路部1の出力が“1”の時には、FET T_2 が導通し、 F_{out} 端子にはC端子に加えられている信号の否定論理信号（インバータ I_1 の出力信号）が取り出される。

ビット上げ信号決定回路部3は1/4加算回路部1の出力により応動するFET T_9 および1/4加算回路部1の出力の否定論理信号により応動するFET T_4 を有している。1/4加算回路部1の出力が“0”の時、FET T_9 が導通し、B端子に印加されている信号がこの回路部3の出力として取り出される。他方、1/4加算回路部1の出力が“1”の時にはFET T_4 が導通し、この回路部3の出力としてC端子に印加されている信号が取り出される。

ビット借り信号決定回路部4は1/4加算回路部1の出力により応動するFET T_5 および1/4加算回路部1の出力の否定論理信号により応動するFET T_6 を有している。1/4加算回路部1の出力が“0”の時、FET T_5 が導通し、C端子に加えられている信号がこの回路部4の出力として取り出される。他方、1/4加算回路部の出力が“1”の時にはFET T_6 が導通し、B端子に加えられている信号がこの回路部4の出力として取り出される。

演算モード設定回路部5はFET T_9 、FET

T_{10} , インバータ I_3 を有している。加算を行おうとして、 O_P 端子に“1”を印加すると、FET T_9 が導通し、ビット上げ信号決定回路部 3 の出力が、 Ca/Bo 端子に取り出される。他方、減算を行おうとして、 O_P 端子に“0”を印加すると、FET T_{10} が導通し、ビット借り信号決定回路部 4 の出力が Ca/Bo 端子に取り出される。

このような構成であれば、従来のゲート回路による全加減算器とは全く異なる構成で、従来の全加減算器と全く同様な論理機能を持つ回路を得ることができる。この回路では1ビットの Ca/Bo を得るにはインバータ I_2 1 段しか影響しないのでスピード遅れは $1 \times t$ ですむ。

以上に本発明の一実施例を説明したが、本発明はそれに限定されることなく、多数の変形が可能である。例えば、 $1/4$ 加算回路部 1 としては2入力の排他的論理和信号を出力するものであれば使用可能である。また回路部 2, 3, 4, 5 内に含まれている FET $T_1 \sim T_6$, T_9 および T_{10} は、導通状態の時のみ入力側の情報を出力側に伝達するトランスファゲートとしての役割を果すものであり、従つて FET のかわりにバイポーラトランジスタを用いることも可能である。

ここで、第2図の回路を n 個組み合わせて作った第3図の n ビット並列加減算回路について考えてみる。なお、図には示してないが、 n 個の回路 $L_1 \sim L_n$ の O_P 端子には共通の信号が与えられる。Fout 1 は、データが I_{11} , T_{21} の経路を通るとき遅れる。ただし、 I_{1i} , T_{2i} は第3図の L_i での I_1 , T_2 を表わすものとする。 C_1 が I_{11} を通過したときの時間遅れは t であり、 T_{31} のゲート電極も時刻 t では“0”レベルになつているので Fout 1 の最大遅れは t になる。 Ca/Bo 1 については次の4通りの経路がある。

- ① C_1 が T_{41} , T_{91} を通るとき、
- ② C_1 が T_{51} , T_{101} を通るとき、
- ③ B_1 が T_{31} , T_{91} を通るとき、
- ④ B_1 が T_{61} , T_{101} を通るとき、

①の場合、 I_2 を通るため、時間遅れ t で T_{41} のゲート電極のレベルが“0”になるが、その時

刻には T_{91} のゲート電極も“0”レベルになつているので、 Ca/Bo 1 の時間遅れは t である。同様にして、②の場合はインバータの影響はなく時間遅れなし、③, ④の場合は、それぞれ、 I_3 , I_2 を通るため、時間遅れ t である。

次に Fout 2, Ca/Bo 2 の時間遅れについて考える。Fout 2 は、 I_{12} , T_{22} の経路を通るとき $1 \times t$ 遅れるが、 Ca/Bo 1 が t 遅れているので結局 $2 \times t$ の遅れが見込まれる。

Ca/Bo 2 についても Ca/Bo 1 と同様4通りの経路がある。

- ① Ca/Bo 1 が T_{42} , T_{92} を通るとき、
- ② Ca/Bo 1 が T_{52} , T_{102} を通るとき、
- ③ B_2 が T_{32} , T_{92} を通るとき、
- ④ B_2 が T_{62} , T_{102} を通るとき、

今度の場合 Ca/Bo 1 には t の時間遅れが見込まれ、 B_2 は時間遅れなしで入力される。

①の場合、時刻 t には T_{42} , T_{92} のゲート電極のレベルが“0”になつているので Ca/Bo 2 の時間遅れは t ですむ。同様にして②, ③, ④とも時間遅れは t ですむ。

次に Fout 3 は I_{13} , T_{23} で t の時間遅れが見込まれるが、 Ca/Bo 2 の時間遅れが t なので結局 $2t$ ですむ。

以上からどんなに多数のビットを並列演算する場合も Fout は最大ゲート2段分、 Ca/Bo は最大ゲート1段分の遅れを見込めば良いことになる。

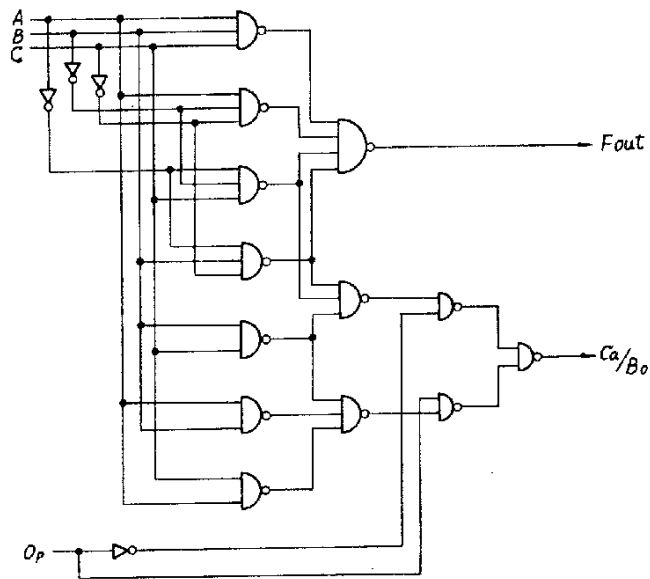
また、必要とするトランジスタの数が少ないので集積化が容易であり、安価になるとともに、消費する電力も少なくなる。

図面の簡単な説明

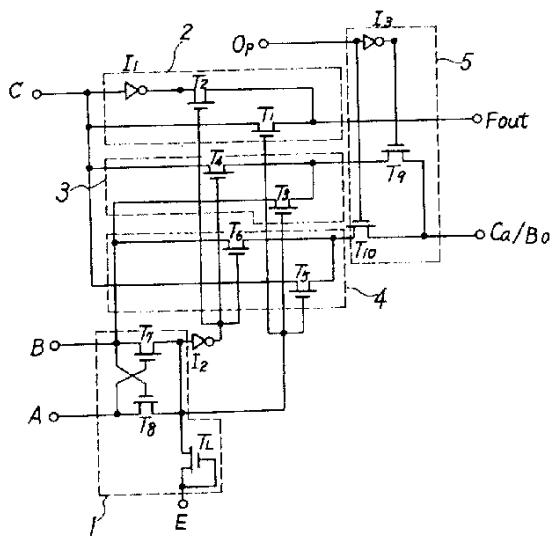
第1図は従来の1ビット分の全加減算回路、第2図は本発明の1ビット分の全加減算回路、第3図は複数ビットを並列に演算するときの構成図である。

T……電界効果トランジスタ、I……インバータ、1…… $1/4$ 加算回路部、2……答信号決定回路部、3……ビット上げ信号決定回路部、4……ビット借り信号決定回路部、5……演算モード設定回路部。

第 1 図



第 2 図



第 3 図

