

1978.6.3 に修正

配布先

N-d Si-Gate (NFブロック)

版数

1977.4.25 発行

Reduction

マイクロデバイス部

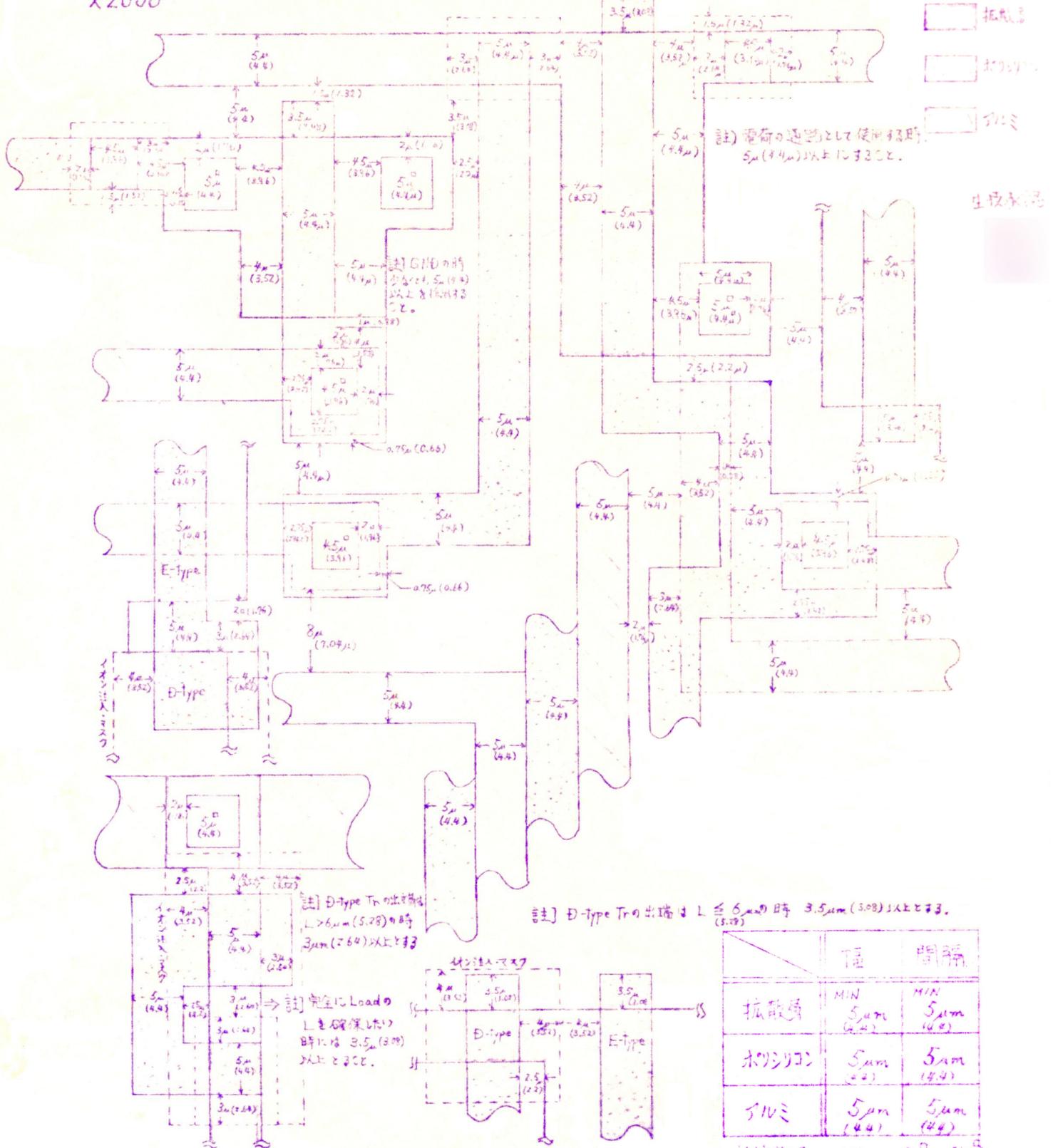
L=5 μ m (4.4 μ m) プロセス 設計基準

プロセス設計

註] ^{プロセス} Lは L=5 μ mの設計基準であるが、0.88倍のReductionが可能となっている。Reduction後の寸法は()内に示す。

註] Driver Trの出力は3.5 μ m(3.08)以上とする。

XZ000



註] D-type Trの出力は L > 6 μ m(5.28)の時 3 μ m(2.64)以上とする

註] D-type Trの出力は L \leq 6 μ mの時 3.5 μ m(3.08)以上とする。

註] 完全に Load の Lを確保した時 3.5 μ m(3.08)以上とする。

	高さ	間隔
拡散層	MIN 5 μ m (4.4)	MIN 5 μ m (4.4)
ホリゾン	5 μ m (4.4)	5 μ m (4.4)
シリミ	5 μ m (4.4)	5 μ m (4.4)

対拡散層コンタクト → 5 μ m[□](4.4)
対ホリゾンコンタクト → 4.5 μ m[□](3.76)

In more accurate, the 4.4 μ process described here is 4.375 μ process which is calculated as 5 μ x 7/8 (reduction rate). Computer adds the original 5 μ X-Y coordinate 7 times and shifts to the right 3 times to get 4.375 μ X-Y coordinates to achieve the 7/8 reduction.

Mask layout schematics were drawn manually using the scale of 2mm/5 μ m (400x) for top level and 4mm/5 μ m (800x) for functional modules under the top level to draw an N-channel silicon gate MOS (Metal Oxide Semiconductor) transistor one by one.

This design rule schematic is drawn by 2000x to define more in details.