

⑱日本国特許庁

①特許出願公開

公開特許公報

昭52—144931

⑤Int. Cl.
G 11 C 19/00

識別記号

⑥日本分類
97(7) C 61

庁内整理番号
7257—56

④公開 昭和52年(1977)12月2日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭シフト・レジスタ回路

東京都港区芝五丁目33番1号
日本電気株式会社内

⑰特 願 昭51—61085

⑰出 願 人 日本電気株式会社

⑱出 願 昭51(1976)5月28日

東京都港区芝五丁目33番1号

⑳発 明 者 小口哲司

㉑代 理 人 弁理士 芦田坦 外3名

明 細 書

1. 発明の名称

シフト・レジスタ回路

2. 特許請求の範囲

クロック信号により情報をレジスタに読み込むか或いはシフトすることによつて情報を一時記憶し遅延させるようにしたシフト・レジスタにおいて、前記レジスタを少なくとも3つの列に並列接続し且つ前記クロック信号として前記少なくとも3つの列の数相当の多相ビット信号を用いたことを特徴とするシフト・レジスタ回路。

3. 発明の詳細な説明

本発明は情報記憶装置として使用されるシフト・レジスタ回路に関するものであり、特にシフトすべきビット数が多いときに効果的な回路である。

シフト・レジスタはクロック信号によりトランスファ・ゲートを動作させて情報をレジスタに読み込むか或いは次段のレジスタにシフトさ

せ、これによつて情報を一時記憶し遅延させる機能を有するようにした回路である。

従来この種の回路には多くの種類のものが発表されており、機能的には満足すべきものがいくつもある。しかしいずれの場合でも、シフトレジスタは1ビット当りおのおの少なくとも2個のトランスファ・ゲートと2個のNOTゲートすなわちメモリを用いているので、所要ビット数が多くなると、回路全体の構成素子が極めて多数となるのは止むを得ない。

したがつて本発明の目的は、前述の構成素子の数を可及的に少なくしたシフト・レジスタ回路を提供するにある。

本発明のシフト・レジスタ回路は、クロック信号により情報をレジスタに読み込むか或いはシフトすることにより情報を一時記憶して遅延させるようにしたシフト・レジスタにおいて、前記レジスタを少なくとも3つの列に並列接続し且つ前記クロック信号として前記少なくとも3つの列の数に相当する多相のビット信号を用い

⑱ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑩ 特許出願公開
昭57—56885

⑤ Int. Cl.³
G 09 G 1/06

識別記号 庁内整理番号
7013—5C

⑬ 公開 昭和57年(1982)4月5日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 映像アドレス制御装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭55—132009

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭55(1980)9月22日

東京都港区芝5丁目33番1号

⑱ 発 明 者 小口哲司

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

映像アドレス制御装置

2. 特許請求の範囲

映像データを格納する映像メモリのアドレスを順次変化させ、読み出したデータを表示器に表示する映像表示装置において、表示アドレスを記憶する表示アドレス・レジスタと、1単位文字、又は、図形表示区間毎に内容が変更され、1行又は1ラインの表示終了毎に内容がクリアされるカウント・レジスタと、映像メモリの表示進行方向のアドレス数を記憶するピッチ・レジスタとを具備し、通常の表示時には、上記表示アドレス・レジスタと、上記カウント・レジスタとの演算結果を表示アドレスとして映像メモリに送出し、1行又は1ラインの表示終了時には上記表示アドレス・レジスタと上記ピッチ・レジスタとの演算結果を表示アドレス・レジスタに格納するとともに、表

示アドレスとして映像メモリに送出する手段を用いて、表示アドレスを制御し、全方向へのスクロールを容易にした事を特徴とする映像アドレス制御装置。

3. 発明の詳細な説明

本発明は映像表示装置に関する。本発明は、映像データを格納する映像メモリから読み出したデータをCRT等の表示器に表示する文字・図形表示装置に関し、さらに詳しくは、映像メモリに送出する表示アドレスの制御に関し、特に、高容易性を持ち、高性能なスクロール機能を提供する。

表示器として、ラスタ・スキャン型CRTを使用した文字図形表示装置では、大容量の映像メモリに映像データを格納し表示をする期間には映像メモリのアドレスを順次変更して映像データを映像メモリから読み出し映像直列信号を得る事は良く知られている。ここで映像メモリのアドレスを与える方法には、大別して、以下に記述する2種の従来方法がある。

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-140423

⑬ Int. Cl.⁴

G 06 F 7/00
7/52

識別記号

1 0 3

庁内整理番号

7313-5B
7056-5B

⑭ 公開 昭和60年(1985)7月25日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ビット・シフト回路

⑯ 特 願 昭58-247029

⑰ 出 願 昭58(1983)12月28日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

ビット・シフト回路

2. 特許請求の範囲

2^Nビットの入力データを任意ビット分シフトするかどうかを決めるシフト量を記憶する手段を有し、その設定値に従って前記入力データをシフトするビット・シフト回路において、前記入力データと前記シフト量を示す出力信号の一部を入力する線と、N本の異なる出力線とを有する第一の信号伝達回路と、前記N本の出力線と前記シフト量を示す残りの出力信号を入力する線と、N本のシフト結果を出力する出力線とを有する第二の信号伝達回路とを具備したことを特徴とするビット・シフト回路。

3. 発明の詳細な説明

(技術分野)

本発明はビットシフト回路に関し、特にデジタル論理回路において、入力データを任意のビット数分だけ瞬時にシフトまたは回転(以下、シフトとのみ表現する)せしめるビットシフト回路に関する。

(従来技術)

ビット・シフト回路は一般的なプロセッサが持っているシフト命令などの基本的な命令を実現するための必須の論理回路として従来より使用されている。このシフト命令は具体的には乗除算などの演算フローを構成する命令として有用であり、この命令を実行するため、一般の従来装置には、1個のシフト命令について1ビットのシフトを実行する回路が用いられ、多数のビット数をシフトさせる場合には、1ビットのシフトを多数回繰り返すことによって達成している。

このため、従来ビットシフト回路は1ビットのシフトを1クロック期間内で実行できるシフト回路が提供されていたとしても、Nビットのビット・シフト操作を実行するのにNクロックという

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭61-41183

⑪ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和61年(1986)2月27日
G 09 G 1/06		7923-5C	
G 06 F 12/00		6974-5B	
		6619-5B	
G 09 G 15/62		7923-5C	
G 09 G 1/02		6549-5B	審査請求 未請求 発明の数 1 (全5頁)
G 11 C 7/00			

⑭ 発明の名称 デジタル記憶装置

⑮ 特 願 昭59-163069

⑯ 出 願 昭59(1984)8月2日

⑰ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

デジタル記憶装置

2. 特許請求の範囲

1. アドレス選択線の制御により特定されたアドレス位置にデータを一時的に記憶し無作為に読み書き可能な1ビットを記憶するデジタル記憶回路を行/列の両方向にN個ずつ並べNビットのデータの並列一括入出力を可能としたデジタル・データ記憶装置において、上記記憶回路に異なるアドレス選択線により駆動される第一と第二の信号端子を設け、列方向に配置されたN個の記憶回路の第一の端子の出力は列方向に配線された1本の列信号線に共通に接続され、行方向に配置されたN個の記憶回路の第二の端子の出力は行方向に配線された1本の行信号線に共通に接続され、N本の行/列信号線を持ち、行/列の両方向に十字に配線されたN本のアド

レス選択線によって行方向および列方向それぞれ各N個の記憶回路を活性化し、行または列信号線上のどちらのデータを選択するかを決定するようにしたことを特徴とするデジタル記憶装置。

3. 発明の詳細な説明

(技術分野)

本発明はデジタル論理回路において、アドレス信号を与えることによって、入力データを一時的に記憶したり、記憶されているデータを出力することを無作為に実行できる記憶回路に関する。(従来技術)

デジタル論理回路において使用される記憶回路はシーケンシャル・メモリとランダム・アクセス・メモリとに大別できる。シーケンシャル・メモリはクロックによってデータを書き込むと同時に、以前に記憶したデータを隣りのメモリアルヘシフトするものである。

この際、出力端子に一番近い記憶セルに記憶さ

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭61-287098

⑤ Int. Cl.⁴
G 11 C 17/00

識別記号 庁内整理番号
6549-5B

④ 公開 昭和61年(1986)12月17日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 記憶回路

⑭ 特 願 昭60-129290

⑮ 出 願 昭60(1985)6月14日

⑯ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑱ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
記憶回路

2. 特許請求の範囲

入力されるアドレス信号をデコードし、デコード出力である多数本のアドレス選択線のうち所定のもののみを活性化するアドレスデコード部と、上記アドレス選択線が結合され、活性化されたアドレス選択線が接続されている論理ゲートの出力線のみが能動的となるように論理ゲート群が配列してある記憶部とを持つ記憶回路において、上記アドレスデコード部にはアドレスデコードの冗長をとるか否かを決定する多数本のデコード禁止入力がアドレス入力線の一部として接続されることを特徴とする記憶回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はデジタル・コンピュータの一部として使用され、アドレス入力信号に従って種々の出力信号を取り出すことができる記憶回路に関する。

(従来技術)

アドレス信号を与えることによりその信号内容に従って選択される記憶部が決定され、その記憶部の内容に従って任意の出力信号を得ることができる記憶回路の回路構成はよく知られている。第3図は記憶回路の従来例である。後に第1図として示す本発明の一実施例との対比が容易となるように提供する機能は第1図の機能と同一のものにしてある。説明を簡単にするために小規模な記憶回路を例に掲げた。各々2ビットで構成されるアドレス・レジスタ101と102の出力はアドレスデコード部110に入力される。このとき、アドレス・レジスタ出力線1本につき真と偽の2本の信号線をアドレス・デコーダに接続する。アドレス・レジスタのビット数がNであるときアドレス入力線は2 * N本が必要となり、アドレスデコ

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-289442

⑬ Int. Cl.⁴
G 06 F 12/00

識別記号 庁内整理番号
6711-5B

⑭ 公開 昭和61年(1986)12月19日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 メモリ・アクセス制御装置

⑯ 特 願 昭60-132372

⑰ 出 願 昭60(1985)6月18日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

メモリ・アクセス制御装置

2. 特許請求の範囲

外部記憶装置から命令コードや処理すべきデータを読み取り、演算処理などを実行後、結果を外部記憶装置に書き込むメモリ・アクセス制御装置において、外部からの制御信号によって上記外部記憶装置に記憶されているデータの読み出し/書き込み動作のサイクルを一時的に引き延ばす機能を持ち、且つ、その引き延ばし動作が読み出し/書き込み制御信号が能動状態となっていない場合であっても機能することを特徴とするメモリ・アクセス制御装置。

3. 発明の詳細な説明

(技術分野)

本発明はデジタル情報処理装置の中心部をな

すプロセッサに関し、特に、待ち合わせ(ウエイト)制御回路に関する。

(従来技術)

プロセッサから供給される読み出し/書き込み制御信号の周期内で、外部記憶装置のデータの読み出し/書き込みができない場合に、ウエイト信号をプロセッサに与え、その周期を引き延ばすことにより所期の目的を達成する方法は以前から行なわれてきている。第4図Aはウエイト操作を行っていないときの従来例におけるプロセッサの入出力信号の波形図である。ここでは、メモリ・アクセス・サイクルはT1から始まりT2、T3で終了する3クロック期間であり、外部記憶装置に対する読み出し/書き込み制御信号(RD/W \bar{R})はT2のクロックφ立ち下がりからT3のクロックφの立ち下がりの区間で能動状態となる。外部記憶装置に記憶されているデータは、外部記憶装置にアドレスが供給されRD/信号が低レベルになった時点から読み出しが開始される。T3のクロックφ立ち下がり時に、読み出された

⑫ 公開特許公報 (A)

昭62-123576

⑮ Int. Cl.⁴
G 06 F 15/72

識別記号 庁内整理番号
6615-5B

⑬ 公開 昭和62年(1987)6月4日

審査請求 有 発明の数 1 (全9頁)

⑭ 発明の名称 円描画方法

⑯ 特 願 昭61-163276
⑰ 出 願 昭55(1980)6月18日
⑱ 特 願 昭55-82484の分割

⑲ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称 円描画方法

2. 特許請求の範囲

X-Y座標系に円を描画する方法において、0~45度、135~225度および315~360度の範囲に描画される円についてはX軸上の点を開始点とし、45度~135度および225度~315度の範囲に描画される円についてはY軸上の点を開始点とし、 $X = \sqrt{r^2 - Y^2} = I - F$ および $Y = \sqrt{r^2 - X^2} = I - F$ (rは半径、Iは正整数、Fは小数点) に基いて各描画位置を求め、YおよびXを所定数ずつ増加もしくは減少した時の小数点Fを四捨五入して整数Iを求め、これをX軸およびY軸の座標データとすることにより、加減算のみで円描画データを得ることを特徴とする円描画方法。

3. 発明の詳細な説明

本発明はCRT(カソード・レイ・チューブ)、

プリンター等の表示装置へ画像データを表示する方法に関し、特に円図形もしくは円図形の一部(弧)を描画する方法に関する。

従来の円画像描画方法は、後述するように乗算や関数演算等複雑でかつ長時間の演算を要していた。以下に、従来の円画像データの描画方法を説明しその欠点をのべる。

第1は、円の方程式 $x^2 + y^2 = r^2$ を基にしてX座標、又はY座標を1座標単位(1ドット単位)で変更しながら描画すべき円上の点を表示装置のドット位置として算出していく方式である。より具体的な説明を加えると以下の如くとなる。

中心座標(h, k)、半径rの円を点(h+r, k)より描画を開始し、X座標方向に1座標単位で座標を変更しながらY座標を算出し、円描画を行なう場合、

X座標(xn)は
$$x_n = h + r, (h + r) - 1, (h + r) - 2, \dots, h, \dots, h - (r - 1), h - r \dots \textcircled{1}$$

のように(h+r)から(h-r)の座標まで

⑫ 公開特許公報 (A)

昭62-161190

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月17日

G 09 G 1/00

7923-5C

1/04

8121-5C

H 04 N 5/067

8523-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 同期信号発生回路

⑯ 特 願 昭61-3283

⑰ 出 願 昭61(1986)1月10日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

同期信号発生回路

2. 特許請求の範囲

(1) 1フレームをNフィールドで構成し、各フィールドで発生した走査線を互いに重なり合うことなくインタレース走査を行うラスタ走査型陰極線管に供給する水平同期信号を発生する手段と、同じく垂直同期信号を発生する手段とを備えた同期信号発生回路において、

上記垂直同期信号を発生する手段は、

1フィールド期間毎に計数を繰り返し1水平同期周期の $(n-1)/N$ の位置を示す信号 (n はフィールドの順番を表す整数で、 $1 \leq n \leq N-1$) を発生する計数手段(13)と、

水平同期信号を計数することによりフィールドの順番 n を計数し、水平同期信号と同一位相で立ち上がる垂直同期信号の原型信号を発生する分周

器(14)と、

この分周器の計数する n にしたがって上記位置を示す信号を選択する選択手段(16)と、

この選択手段により選択された位置を示す信号にしたがって上記原型信号を遅延させる同期化回路(15)と

を備えたことを特徴とする同期信号発生回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、情報処理装置、文字図形表示装置その他のCRT表示装置に利用する。

(概要)

本発明は、インタレース走査を行うラスタ走査型陰極線管に供給する水平同期信号および垂直同期信号を供給する回路において、

水平同期信号と同時に立ち上がる垂直同期信号の原型信号を発生し、これをフィールドの順番にしたがって遅延させて垂直同期信号を発生することにより、

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭62-237522

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)10月17日

G 06 F 7/00

G-7313-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 情報処理装置

⑯ 特 願 昭61-81709

⑰ 出 願 昭61(1986)4月8日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内原 晋

明 細 書

とを特徴とする情報処理装置。

1. 発明の名称

情報処理装置

2. 特許請求の範囲

1個の記憶番地に記載されているN個のビット (Nは正の整数)を同時に読み書き可能な記憶器に対し処理すべきデータの読み書きを実行する情報処理装置において、上記N個のビットのうち処理を開始するビット位置を記憶する第一の記憶器と、処理を終了するビット位置を記憶する第二の記憶器と、上記第一の記憶器により指示されたビット位置から上記第二の記憶器により指示されたビット位置までのデータ処理のみを活性化するための処理マスク制御信号を発生する制御器とを具備し、1個の記憶番地に記憶されているN個のビットのうち任意のビット位置から始まるnビット (nは正の整数であり $n \leq N$)の長さを持つビット列に対する選択的なデータ処理を可能としたこ

3. 発明の詳細な説明

[産業上の利用分野]

本発明はデジタル情報処理装置に関し、さらに詳しくは、ある大きさを持ったデータ列のうち一部のビットについてのみ選択的に演算処理する情報処理装置に関する。

[従来技術]

従来から使用されている情報処理装置では1個の記憶番地に記憶されているNビットのデータはN本のデータバスを經由してNビットが同時に読み書きされる。例えば8ビットのプロセッサであれば8ビットのデータバスを持ち8ビット(1バイト)で構成されるデータを同時に読み書きし、16ビットのプロセッサでは16ビット(2バイト)のデータを同時に読み書きする。このときプロセッサが持つ命令が取り扱うデータの最小区分は通常1バイトであり、 $A+B=C$ の演算を実行する際には少なくとも1バイトのデータすべてが

⑫ 公開特許公報(A)

昭63-38983

⑤Int. Cl. ⁴	識別記号	庁内整理番号	⑬公開	昭和63年(1988)2月19日
G 09 G 1/02		7923-5C		
G 06 F 3/153	3 3 6	7341-5B		
15/64	4 5 0	8419-5B	審査請求	未請求 発明の数 1 (全4頁)

⑭発明の名称 表示アドレス制御装置

⑯特 願 昭61-183618

⑰出 願 昭61(1986)8月4日

⑱発明者 小口 哲司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳代理人 弁理士 内原 晋

明細書

発明の名称

表示アドレス制御装置

特許請求の範囲

(1) 1画面分の表示データを記憶する記憶内容の読み書き可能な第1の記憶手段と、

前記第1の記憶手段に外部から供給される前記1画面分の表示データを一定の順序で書き込む書き込み手段と、

前記一定の順序で書き込まれた1画面分の表示データの示す表示図形を含む1つ以上の所定の表示図形を規定する前記第1の記憶手段の読出しアドレスデータを前記表示図形毎に連続したアドレスに記憶する第2の記憶手段と、

表示周期に同期して前記第2の記憶手段に前記表示図形に対応した連続したアドレスを供給し、読み出された前記第2の記憶手段からのデータを前記第1の記憶手段の読出しアドレスとして供給

するアドレス供給手段とを含むことを特徴とする表示アドレス制御装置。

(2) 第2の記憶手段は読み出し専用メモリであることを特徴とする特許請求の範囲第(1)項記載の表示アドレス制御装置。

(3) 第2の記憶手段は記憶内容の読み書き可能なメモリであり、外部から供給される1つ以上の所定の図形を規定する第1の記憶手段の読出しアドレスデータを前記表示図形毎に連続したアドレスに書込む書込み手段を含むことを特徴とする特許請求の範囲第(1)項記載の表示アドレス制御装置。

発明の詳細な説明

(産業上の利用分野)

本発明は情報処理装置における文字図形表示装置内に使用される表示メモリに対する表示アドレス制御装置に関する。

(従来技術)

従来から文字図形をラスタ走査型陰極線管に表

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)2月9日

G 06 F 3/023

3 2 0

C-8724-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 キー入力装置

⑯ 特 願 昭62-195579

⑰ 出 願 昭62(1987)8月4日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

〔従来の技術〕

1. 発明の名称

キー入力装置

2. 特許請求の範囲

情報処理装置における文字情報入力などを行うキー入力装置において、各々のキーは機能設定時の状態によりその表示内容を変更できる表示器を具備するとともに、上記表示内容を機能設定に伴い制御する表示制御器を具備し、固有の機能が割当てられていない未定義機能キーや機能が逐一変更される複合機能キーなどの機能種別を判別することを特徴とするキー入力装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はキー入力装置、特に多種類の文字や記号、各種の機能を切換えて入力するキー入力装置に関する。

シフトキーやカナキーなどのようにキー入力状態を定義するキーの押下状態に依存して、1個のキーであっても数種類の異なるキー入力機能を持つ複合機能キーがある。大文字や小文字の英文字入力、カナ文字や記号の入力として切り換えて使用する。このような簡単な機能切り換えだけの場合には、第3図に示すようにキートップに最大4種類程度のラベルを刻印しておく。また、キーの機能があらかじめ定義されておらず、使用するソフトウェアなどによって有効な機能を持たせるようにした未定義機能キーの場合、第4図に示すように未定義機能キーの第何番目のキーであるという刻印がキートップに成されているだけである。使用者は現在、どのキー入力状態になっているかを常に頭の中に記憶しながら使用することになる。

〔発明が解決しようとする問題点〕

ところが、キー入力装置から入力しようとする情報の種類を増加するために、上記シフトキーやカナキーの他にコントロールキー、グラフキー、

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-363772

(43) 公開日 平成4年(1992)12月16日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/72	3 5 5 P	9192-5L		
3/153	3 2 0 D	9188-5B		
G 0 9 G 5/20		8121-5G		

審査請求 有 発明の数 1 (全 9 頁)

(21) 出願番号	特願平3-9288	(71) 出願人	00004237
(62) 分割の表示	特願昭55-82484の分割		日本電気株式会社
(22) 出願日	昭和55年(1980)6月18日		東京都港区芝五丁目7番1号
		(71) 出願人	100065916
		(72) 発明者	小口 哲司
			東京都港区芝五丁目7番1号日本電気株式会社内

(54) 【発明の名称】 円描画方式

(57) 【要約】

【目的】 描画精度や品質の良い円画像データを、極めて簡単な演算処理だけで作成する。

【構成】 描画基準となる点の中間結果Dに、前記描画基準点のY (X) 座標データを所定数変化させた次の点と前記描画基準点との変位D₁ を加算し、前記変位D₁ を更新する。前記中間結果Dの判断結果に基づいて、次に描画すべき点のX (Y) 座標データを求める。X (Y) 座標データを更新した時は、中間結果Dに変位D₂ を加算し、前記D₂ を更新する。予め定められた描画点の未描画点数DCを判定して零になったら描画を終了する。

