

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭61-41183

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)2月27日

G 09 G 1/06
G 06 F 12/00
15/62
G 09 G 1/02
G 11 C 7/00

7923-5C
6974-5B
6619-5B
7923-5C
6549-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 デジタル記憶装置

⑮ 特 願 昭59-163069

⑯ 出 願 昭59(1984)8月2日

⑰ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

デジタル記憶装置

2. 特許請求の範囲

1. アドレス選択線の制御により特定されたアドレス位置にデータを一時的に記憶し無作為に読み書き可能な1ビットを記憶するデジタル記憶回路を行/列の両方向にN個ずつ並べNビットのデータの並列一括入出力を可能としたデジタル・データ記憶装置において、上記記憶回路に異なるアドレス選択線により駆動される第一と第二の信号端子を設け、列方向に配置されたN個の記憶回路の第一の端子の出力は列方向に配線された1本の列信号線に共通に接続され、行方向に配置されたN個の記憶回路の第二の端子の出力は行方向に配線された1本の行信号線に共通に接続され、N本の行/列信号線を持ち、行/列の両方向に十字に配線されたN本のアド

レス選択線によって行方向および列方向それぞれ各N個の記憶回路を活性化し、行または列信号線上のどちらのデータを選択するかを決定するようにしたことを特徴とするデジタル記憶装置。

3. 発明の詳細な説明

(技術分野)

本発明はデジタル論理回路において、アドレス信号を与えることによって、入力データを一時的に記憶したり、記憶されているデータを出力することを無作為に実行できる記憶回路に関する。(従来技術)

デジタル論理回路において使用される記憶回路はシーケンシャル・メモリとランダム・アクセス・メモリとに大別できる。シーケンシャル・メモリはクロックによってデータを書き込むと同時に、以前に記憶したデータを隣りのメモリアルヘシフトするものである。

この際、出力端子に一番近い記憶セルに記憶さ