

⑫ 特許公報 (B2)

平1-46891

⑬ Int. Cl. 4

G 06 F 12/00  
15/66

識別記号

3 0 4  
3 4 0

庁内整理番号

K-8841-5B  
8419-5B

⑭ 公告 平成1年(1989)10月11日

発明の数 1 (全5頁)

⑮ 発明の名称 情報処理装置

前置審査に係属中

⑯ 特 願 昭54-148031

⑰ 公 開 昭56-71154

⑱ 出 願 昭54(1979)11月15日

⑲ 昭56(1981)6月13日

⑳ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内

㉑ 出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号

㉒ 代 理 人 弁理士 内 原 晋

審 査 官 大 橋 隆 夫

㉓ 参 考 文 献 特開 昭51-118335 (JP, A) 特公 昭53-5099 (JP, B2)

1

2

㉔ 特許請求の範囲

1 情報群を記憶する記憶部と、該記憶部の番地を指定する番地指定部と、この番地指定部によって指定された番地から読み出された所定ビットからなる情報群の特定のビットに修正を加える情報修正部と、前記所定ビットと同数のシフトビットを有するシフトレジスタと、前記情報修正部で修正されるべき前記特定のビットの位置の指定を行なうビット位置指定部とを具備し、前記情報修正部は実際に修正を行なう修正ゲート部と修正を行なうことなく入力されたビットをそのまま出力する非修正ゲート部とを対として各ビット毎に有しており、前記記憶部から読み出された前記情報のうち前記ビット位置指定部で指定されたビットは前記修正ゲート部へ入力し、指定されないビットは前記非修正ゲート部へ入力することによって、修正ビットと非修正ビットとを同時に前記記憶部の前記指定された番地へ書き込み、かつ次に修正すべき情報のビット位置の指定は前記ビット位置指定部のシフト操作によって実行することを特徴とする情報処理装置。

発明の詳細な説明

本発明は読み出し書き込み可能メモリ(ランダム・アクセス・メモリ:RAM)を有する情報処理装置に関する。

従来上記情報処理装置が付随する(場合によっては装置内部に含まれる)記憶装置(RAM)の番地指定は、通常2進符号で構成されるアドレス

指定部によって行なわれていた。例えば、ワード(16ビット)単位でアドレスが割り付けられた記憶装置では、1個のワード・アドレスで16ビットのデータを同時に記憶装置に入出力していた。

5 近年開発されたラスタ・スキヤン型カソード・レイ・チューブCRTのスクリーン上に、文字図形等を表現させるグラフィック表示装置においては、映像情報を示すドット情報を記憶する為に使用される情報処理装置が有する記憶装置の価格が、半導体メモリの採用によって年々低廉化しており、グラフィック表示装置等への半導体メモリの応用が活発化してきている。一方、グラフィック表示の変わりに文字表示を行なう場合には、1文字を7ビット乃至8ビット構成の2進符号で表現しており、ドット単位(ビット単位)の番地指定をする必要はなかつた。しかしながら、グラフィック表示装置として使用する時は、各ドットを1つ1つ描画する事によって文字図形を表現している。記憶装置内の各ドットを直接ドット毎に番地指定できる事が望まれる。この要求からワード・アドレス部とは別に、さらに2進符号で構成されるドット・アドレス部を付加した構成の情報処理装置が提供されている。ここで、グラフィック表示装置は、基本的に記憶装置の1ビットがスクリーン上の文字図形の1ドットに対応しており、スクリーン上の表示ドット数が横方向1024ドット、縦方向1024ドットであるとする、記憶容量は少なくとも1024×1024=1メガビット