

⑫ 特許公報 (B2)

平1-46891

⑬ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公告 平成1年(1989)10月11日  
 G 06 F 12/00 3 0 4 K-8841-5B  
 15/66 3 4 0 8419-5B  
 発明の数 1 (全5頁)

⑮ 発明の名称 情報処理装置

前置審査に係属中 ⑯ 特 願 昭54-148031 ⑰ 公 開 昭56-71154  
 ⑱ 出 願 昭54(1979)11月15日 ⑲ 昭56(1981)6月13日

⑳ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内  
 ㉑ 出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号  
 ㉒ 代 理 人 弁理士 内 原 晋  
 審 査 官 大 橋 隆 夫  
 ㉓ 参 考 文 献 特開 昭51-118335 (JP, A) 特公 昭53-5099 (JP, B2)

1

2

㉔ 特許請求の範囲

1 情報群を記憶する記憶部と、該記憶部の番地を指定する番地指定部と、この番地指定部によって指定された番地から読み出された所定ビットからなる情報群の特定のビットに修正を加える情報修正部と、前記所定ビットと同数のシフトビットを有するシフトレジスタと、前記情報修正部で修正されるべき前記特定のビットの位置の指定を行なうビット位置指定部とを具備し、前記情報修正部は実際に修正を行なう修正ゲート部と修正を行なうことなく入力されたビットをそのまま出力する非修正ゲート部とを対として各ビット毎に有しており、前記記憶部から読み出された前記情報のうち前記ビット位置指定部で指定されたビットは前記修正ゲート部へ入力し、指定されないビットは前記非修正ゲート部へ入力することによって、修正ビットと非修正ビットとを同時に前記記憶部の前記指定された番地へ書き込み、かつ次に修正すべき情報のビット位置の指定は前記ビット位置指定部のシフト操作によって実行することを特徴とする情報処理装置。

発明の詳細な説明

本発明は読み出し書き込み可能メモリ(ランダム・アクセス・メモリ:RAM)を有する情報処理装置に関する。

従来上記情報処理装置が付随する(場合によっては装置内部に含まれる)記憶装置(RAM)の番地指定は、通常2進符号で構成されるアドレス

指定部によって行なわれていた。例えば、ワード(16ビット)単位でアドレスが割り付けられた記憶装置では、1個のワード・アドレスで16ビットのデータを同時に記憶装置に入出力していた。

5 近年開発されたラスタ・スキヤン型カソード・レイ・チューブCRTのスクリーン上に、文字図形等を表現させるグラフィック表示装置においては、映像情報を示すドット情報を記憶する為に使用される情報処理装置が有する記憶装置の価格が、半導体メモリの採用によって年々低廉化しており、グラフィック表示装置等への半導体メモリの応用が活発化してきている。一方、グラフィック表示の変わりに文字表示を行なう場合には、1文字を7ビット乃至8ビット構成の2進符号で表現しており、ドット単位(ビット単位)の番地指定をする必要はなかつた。しかしながら、グラフィック表示装置として使用する時は、各ドットを1つ1つ描画する事によって文字図形を表現している。記憶装置内の各ドットを直接ドット毎に番地指定できる事が望まれる。この要求からワード・アドレス部とは別に、さらに2進符号で構成されるドット・アドレス部を付加した構成の情報処理装置が提供されている。ここで、グラフィック表示装置は、基本的に記憶装置の1ビットがスクリーン上の文字図形の1ドットに対応しており、スクリーン上の表示ドット数が横方向1024ドット、縦方向1024ドットであるとする、記憶容量は少なくとも1024×1024=1メガビット

3

(128キロ・バイト)が必要となる。更に、この大容量の記憶装置の内容を1ビット単位で変更していく事によって文字図形を順次描画しているので、その変更が高速に実行されるものでなければ実用に値しない。

従来の情報処理装置はドット単位のデータを変更する為に、1メモリ・サイクル内で記憶装置内のデータを読み出し(リード(READ))、修正し(モディファイ(MODIFY))再び同一番地に修正結果を書き込む(ライト(WRITE))よう

な動作を行なっており、第1図に示すように構成されている。ここでは、1つのアドレスで示されるデータのビット数が16ビットの場合について示してある。

ワード・アドレス・レジスタ2の出力が、記憶装置1のアドレス入力ADに接続され、入力されたアドレス情報により指定される番地に格納されている16ビットのデータが同時に、記憶装置1の出力端子DOより出力され、セット(SET)、リセット(RESET)、反転(コンプリメント(COMPLEMENT))及び置換(リプレイス(REPLACE))等の修正機能を持ったゲート群4に入力され、制御信号(CMD)の指示に従って16ビットの全ビットについて無条件に修正を行なった後、記憶装置1の入力端子DIに入力され

読出された時と同じアドレスに格納される。

このとき、メモリへのデータ書き込みを指示する信号MWを以下に述べるように制御する回路を付加する事によって、ゲート群4で修正され入力端子DIに接続される16ビットのデータ線のうちドット・アドレスによって特定された1ビットのみを記憶装置1に書き込み、1ビット単位の修正変更を可能としている。即ち、16ビットのドット・アドレスを個々に指定する為、4ビットの2進符号で構成されるドット・アドレス・レジスタ3の出力が、マルチプレクサ5に入力され、マルチプレクサ5のもう一方の入力には、上記データ書き込み信号MWが入力され、このMWが能動的となつたときにのみ、マルチプレクサ5の16本の出力のうちの本のみがドット・アドレス・レジスタ3からの入力信号の状態に従って能動的となるように構成され、これらマルチプレクサ5からの16本の出力信号のそれぞれがデータの各ビットに対応した記憶プレーン(この例では16枚のプレー

4

ン構成を記憶装置が持つ事になる。)に接続される。即ちワード・アドレス部によって16ビットのデータを記憶装置より取り出しその16ビットのデータのうち1ビットのみを選択的に変更して書き込む為、4ビットの2進符号で構成されるドット・アドレス・レジスタを持ち、CPU(中央処理装置)から送出されるメモリ書き込み指示信号MWをドット・アドレス・レジスタで指示されたドットが格納される記憶装置のみに選択的に送出し、他の残りの15ビットについては、MW信号の供給を停止し、書き込みを実行しないように1ドット単位の変更を可能としていた。このようにすることによって、第3図に示すようなデータの書き換えが可能となる。

第3図にはドット・アドレス指定によって処理されるデータの変化の様子の一例が示されており、修正機能としてコンプリメント(データの内容を1/0反転する)モードが修正機能制御信号CMDによって与えられ、ドット・アドレス・レジスタの内容は2進数で“1010”である場合について示してある。16ビットの変更前データが全ビット、修正機能ゲート群4によってコンプリメント修正され、下位より11ビット目のデータ(アドレス“1010”)だけが記憶装置に書き込まれる。

しかしながら、上記従来装置では次に示すような欠点があつた。

まず、MW信号にドット・アドレス信号の条件を組み合わす事によって、データ・ビット数に等しい数の新しい書き込み指示信号(第1図におけるMW0~MW15)を作り出す回路(マルチプレクサ5)が必要となると同時に、MW信号線の種類が増し、その為に記憶装置との接続配線が増加していた。特に記憶装置の各ビットの重みに従って相異なる選択信号線MW0~MW15を各セル毎に配線しなければならぬため、製造上非常に困難であつた。

更に、ドット毎の番地指定が配線によって固定化されてしまい、1ドット単位でしかデータの変更を行なえないという欠点もあつた。従って1ドット単位の変更を必ずしも必要としないようなデータ変更、例えば記憶装置の全領域あるいは一部の複数ビット領域をリセット(RESET)するような場合があつても、1メモリ・サイクルでは1ドットの変更しか実行できない為全領域を変更

5

するための時間が増加する等、記憶装置を使用する際の自由度を著しく低下させていた。

本発明の目的は、上記欠点を除去し極めて簡単な回路でドット単位のデータ変更を可能とした情報処理装置を提供する事にある。

上記目的を達成するため本発明の情報処理装置の基本的構成は、処理用データあるいはプログラムデータ（OPコードデータ）等情報処理に必要とされるデータを記憶する記憶部と、この記憶部のアドレスを指定するアドレス指定部と、この記憶部へのデータ書き込み指示するデータ書き込み制御手段と、前記記憶部から読み出されたデータを修正命令に従って所定の修正（データセット、リセット、反転、置換、書き換え等）を実行する修正機能ゲート群と、この修正機能ゲート群で修正されるべきデータの一部あるいは全部を指定する修正データビット指定部とを有し、この修正データビット指定部で指定されたデータビットに前記修正を加え、前記記憶部へ書き込むようにしたことを特徴とする。

以下、図面を参照して本発明の一実施例を詳細に説明する。

第3図に本実施例の要部回路ブロック図を示す。

ワード・アドレス・レジスタ12の出力が、記憶装置11のアドレス入力ADに接続され、その指定されたアドレスに格納されていた16ビットのデータが、同時に記憶装置11の出力端子DOから出力され、リセット、セット、反転、置換等の修正機能を持つゲート群14に入力される。さらにゲート群14の一方の入力には、データのビット数に等しい16ビットで構成されるドット・アドレス・レジスタ13が接続され、修正機能制御信号CMDによって指定される修正を、どのビットに対して実行するかを決定する。ドット・アドレス・レジスタ13によつて、修正機能を実行しないように指定されたビットのデータについては、ゲート群14を単に素通りするだけで、入出力間におけるデータ変更は生じない。この動作を実行するための回路構成の最も簡単な例は、ドット・アドレス・レジスタ13の出力が“1”レベルであるビットに対応する記憶装置11から読み出されたデータのビットに修正を加えるように構成すればよい。一例として反転修正命令を実行する場

6

合には、記憶装置11から読み出されたデータの各ビットに対して、2本の通路を設け、そのうち1本にはインバータを、又これら2本の通路の夫々の入口にはトランスファアゲートを設けてお

5 き、前記ドットアドレスレジスタの16ビット出力の各々と前記反転命令信号とで論理積をとり、その出力が“1”のビットのみインバータを有する通路のゲートを開け、それ以外のビット（“0”）に対しては、インバータを有しない残りの通路の

10 ゲートを開けるように制御ゲートを組めばよい。これにより、ドット・アドレス・レジスタ13で“1”を指定されたビットのみが反転されて記憶装置11に書き込まれることになる。

更に、第1図から明らかなようにゲート群14

15 の出力は記憶装置11のデータ入力端子DIに接続され、書き込み指示信号MWが、能動状態になったとき、修正変更された16ビットのデータを、全て同時に記憶装置11内に書き込む事によつてドット単位のデータ変更を可能にしている。

20 第4図は、本発明の一実施例におけるデータ変更化の様子を示している。第3図における従来方法の一実施例と同一条件の場合について示してある。ドット・アドレスは下位より11ビット目の内容だけが“1”であり、他のビットは全て“0”

25 であるとする。即ち11ビット目のチタンのみを反転させるように構成したもので変更前データのうち下位より11ビット目のデータのみが、修正機能ゲート群14によつて反転修正され変更後のデータとしてゲート群14の出力全ビットが記憶装置

30 11に書き込まれる。

第5図は、修正機能ゲート群14における反転命令を実行するゲートの1ビット当りの回路構成の一実施例である。同図から明らかなようにドット・アドレスが“1”の場合にのみ入力データが

35 反転され、“0”の場合には入力、出力のデータに変化はなくそのままの信号が記憶装置11に出力され書き込まれる。

本発明における情報処理装置では、上記したように、ドット単位のデータ修正変更が簡単なゲート回路構成で容易に実行できる。又、ドット・アドレスを1ビットづつインクリメントあるいはデクリメントして、ドット指定を順次変更させるように設定する場合には、これをシフトレジスタで構成して左方向へのビット・ローテーション、ある

いは右方向へのビット・ローテーションを行なうことによつて、容易にかつ高速でビット指定を行なうことができる。さらにドット・アドレス・レジスタをプログラマブルカウンタ等で構成し、その設定値を任意に変更できるようにすれば、例えばドット・アドレス・レジスタの値を全て“1”あるいはその一部のみを“1”にしたときには全ビットあるいは一部の複数ビットを同時にデータ修正変更する事が可能となり、情報の高速処理を実現できる。又、ワード・アドレスで指定されるデータを例えば、上位領域、下位領域の2種に区分し、ドット領域のみの修正変更を実行する事によつて、データの選択区分修正が可能となる等、自由度の高い情報制御を提供する事ができる。特に、本発明によれば文字、図形表示CRTに表示すべきパターンデータに対して、1ビット単位あるいは複数ビット単位でのデータの修正変更が高速で達成でき、特に高速処理機能をもつマイクロプロセッサを使用することなく、処理速度が比較的遅い低価格のプロセッサでも充分パターン変更が行なえるという利点がある。

更に、本発明の情報処理装置の設計パターンに

関しても、記憶装置11を構成する各記憶セルへの書き込み制御信号線MWは全セル共通に配線することができるため、メモリ設計が非常に簡易化されるとともに、従来のようにビット単位の選択を行なうためのマルチプレクサ5も不必要となり、経済的にも極めて有利である。

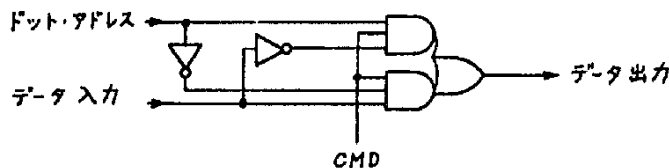
尚、ドット・アドレス・レジスタ13は修正機能ゲート群14の出力端と記憶装置11の入力端(DI)との間に設けてもよいことは明らかである。

図面の簡単な説明

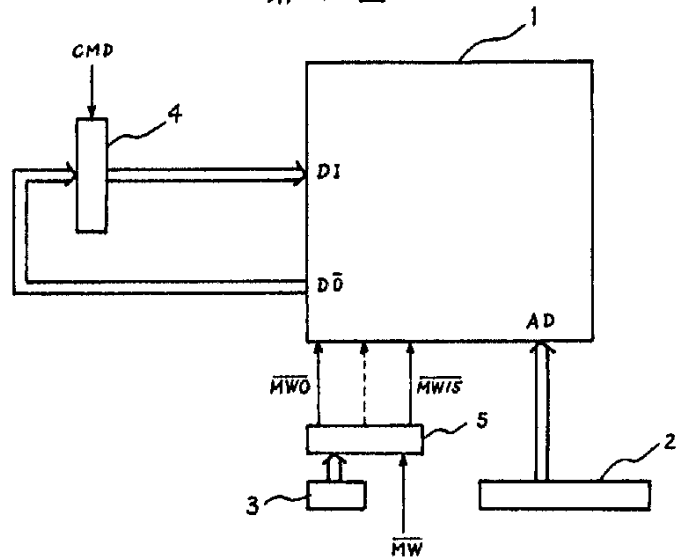
第1図は従来の情報処理装置の要部ブロック図、第2図は本発明の情報処理装置の一実施例を示す要部ブロック図、第3図は従来のデータ処理によるデータ図、第4図は本発明の一実施例におけるデータ処理によるデータ図、第5図は本発明の一実施例で使用される修正機能ゲート群の1部を示す論理回路図である。

1, 11……記憶装置、2, 12……ワード・アドレス・レジスタ、3, 13……ドット・アドレス・レジスタ、4, 14……修正機能ゲート群、5……マルチプレクサー。

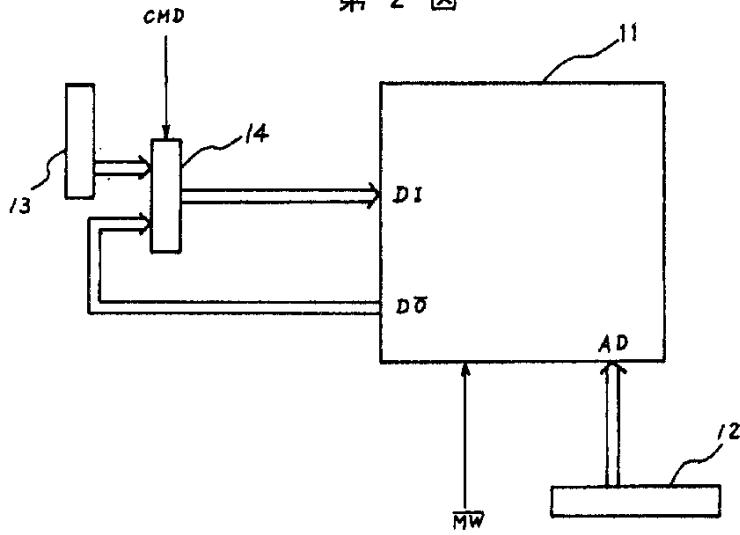
第 5 図



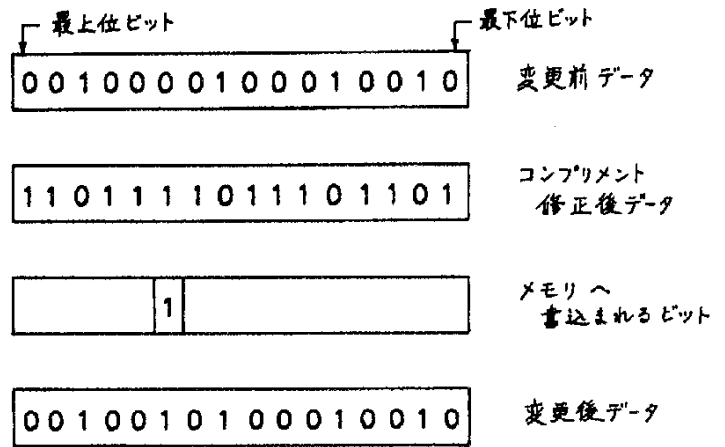
第 1 図



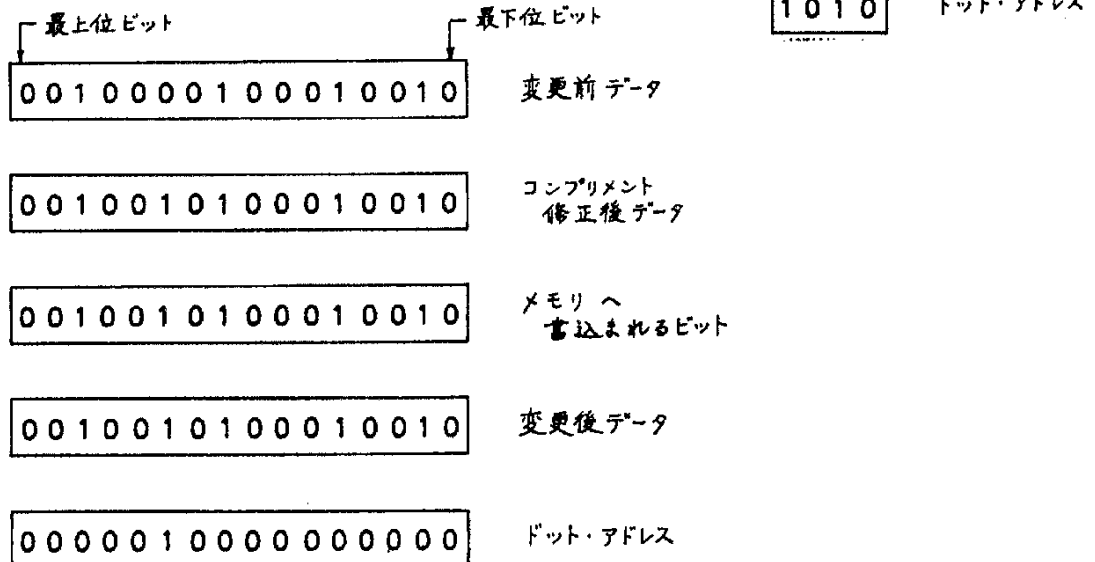
第 2 図



第 3 図



第 4 図



昭和 5 4 年特許願第 1 4 8 0 3 1 号 (特公平 1 - 4 6 8 9 1 号、平 1. 1 0. 1 1 発行の特許公報 6(3)-4 3 [5 8 4] 号掲載) については特許法第 6 4 条の規定による補正があつたので下記のとおり掲載する。

Int. Cl. <sup>5</sup>	特許第 1 6 1 3 9 0 8 号
G 06 F 12/04	識別記号 庁内整理番号
	520 8841-5B

## 記

1 「特許請求の範囲」の項を「1 情報群を記憶する記憶部と、該記憶部の番地を指定する番地指定部と、この番地指定部によつて指定された番地から読み出された所定ビットからなる情報群の特定のビットに修正を加える情報修正部と、前記所定ビットと同数のシフトビットを有するシフトレジスタからなり、前記情報修正部で修正されるべき前記特定のビットの位置の指定を行なうビット位置指定部とを具備し、前記情報修正部は実際に修正を行なう修正ゲート部と修正を行なうことなく入力されたビットをそのまま出力する非修正ゲート部とを対として各ビット毎に有しており、前記記憶部から読み出された前記情報のうち前記ビット位置指定部で指定されたビットは前記修正ゲート部へ入力し、指定されないビットは前記非修正ゲート部へ入力することによつて、修正ビットと非修正ビットとを同時に前記記憶部の前記指定された番地へ書き込み、かつ次に修正すべき情報のビット位置の指定は前記ビット位置指定部の前記シフトレジスタのシフト操作によつて実行することを特徴とする情報処理装置。」と補正する。

2 第 5 欄 2 3 行「第 3 図」を「第 2 図」と補正する。

3 第 6 欄 2 5 行「チタン」を「データ」と補正する。