

⑫ 特許公報 (B 2)

昭62-7552

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭⑮公告 昭和62年(1987)2月18日

G 09 G 1/02
G 11 C 11/347923-5C
7230-5B

発明の数 1 (全7頁)

⑯ 発明の名称 画像制御方式

⑰ 特 願 昭54-70341

⑱ 公 開 昭55-163578

⑲ 出 願 昭54(1979)6月5日

⑳ 昭55(1980)12月19日

㉑ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内
 ㉒ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ㉓ 代 理 人 弁理士 内 原 晋
 審 査 官 加 藤 恵 一
 ㉔ 参 考 文 献 特開 昭53-145438 (J P, A)

1

2

㉕ 特許請求の範囲

1 表示画面上の所定の位置に表示されるパターンの画像信号あるいはこの画像信号をアドレス指定するための画像制御信号を記憶部から読み出して表示画面上に表示する画像制御方式において、前記パターンを前記表示画面上で拡大表示する時、第1の期間でこの拡大表示すべきパターン

5 の前記画像信号あるいは画像制御信号を前記記憶部から読み出して前記表示画面に表示し、前記第1の期間に連続する第2の期間で前記表示画面上に

10 前記拡大表示すべきパターンを前記第1の期間に連続して表示するとともに前記記憶部内に格納されている前記画像信号あるいは画像制御信号の記憶内容を再生することを特徴とする画像制御方式。

発明の詳細な説明

本発明は陰極線管 (CRT: カソードレイチューブ) 等に表示される画像を形成する画像信号の制御方式に関し、特にリフレッシュ動作が要求されるダイナミックメモリを用いて画像の拡大表示

20 を行う画像制御方式に関する。

近年、デジタル処理のマイクロプロセッサを用いて画像信号を制御し、CRT等の表示面上にラスタースキャン方式により文字、図形等のパターンを表示させる画像制御装置が数多く作成され

25 ている。

この画像制御装置は表示すべき映像パターンデータをメモリの中に記憶し、ラスタースキャンに対応

して表示順に読み出しを実行するものであるが、メモリとして半導体集積回路メモリが一般に用いられている。半導体集積回路メモリには1定周期毎に記憶内容の再書き込み (リフレッシュ) を必要とするダイナミック型メモリとリフレッシュの必要がなく自己保持機能をもつスタティック型メモリとがあるが、低価格で提供できかつ記憶容量の大きいダイナミック型メモリが画像制御装置の映像メモリとして有用である。しかしながら、この場合リフレッシュ動作を円滑に行なわなければ、パターン表示は極めて短時間で消えてしまつたり、画像が部分的に表示できなくなるという大きな問題点がある。

従来ダイナミック型メモリとして書き込み及び

15 読み出しが可能なRAM (ランダムアクセスメモリ) を映像メモリに用いた場合、CRT画面上でのラスタースキャンと映像メモリへのアドレス進行とは第1図に示すような方式で行なわれていた。即ち、CRT画面上を走査する第1走査線の出力時に、この走査方向に沿ってアドレス000~03F (16進表示) 番地に格納されている映像データが順次読み出されて第1図のアドレスと対応する位置に画像パターンとして映出される。以下アドレス040~07F番地、080~0BF番地、……に格納

20 されている映像データは第2、第3の走査線出力に対応して映像メモリから読み出されて画面上にパターン化される。この様に、映像メモリに格納されている映像データがアドレス順に連続して読

み出される場合には、読み出されるタイミング期間で読み出された映像データがメモリへ帰還されて自動的に再書き込みされる。即ちデータの読み出しとリフレッシュとは同時に行なわれる。

しかしながら、CRT画面上に設定される最小絵素区画（単位アドレス位置）に表示されるパターンを縦横方向に連続して例えば2倍に拡大して表示させる時には、映像メモリのアドレス進行は表示画面に対して第2図に示すように横に2倍、縦に2倍の周期で読み出されて実行されることになる。この場合、同図から明らかなように、表示される映像データのアドレス進行が、000~01F、次に040~05Fとなる場合には、中間の020~03Fまでのアドレスは読み出されないことになる。従つてこの020~03F番地に記憶されている映像データに対しては何らかの形で読み出してリフレッシュしなければならない。

これを解決するために従来は第3図に示すようなアドレス進行を行ない画面上に表示されない映像データに対する特別のリフレッシュ期間を設けていた。即ち第3図に示す斜線部において表示されない映像データを読み出し、この読み出したデータがCRT表示部へ出力されないようにして、リフレッシュ動作を実行していた。このため、第3図では偶数番目の走査線出力期間は必然的にリフレッシュ期間に割り当てざるを得なかつた。従つて、従来の方式によれば、横方向に連続して拡大表示することはできても、縦方向には連続して拡大表示することができなかつた。即ち、横方向に拡大表示を行なつた時には、前記の偶数番目の走査線上にはパターンを表示することができなかつた。換言すれば、画面上の全ドットにパターンを表示することができないという欠点を有する。

この様に従来映像メモリとしてダイナミック型メモリを用いた場合には、リフレッシュ時のパターン表示ができないため画面上に連続して拡大パターンを表示することができないという不都合があつた。この欠点は図形、文字等を表示する場合、パターンが見にくくなるという視覚上の難点となつて現われていた。

本発明の目的は、縦横双方向に自由に拡大素子ができ、かつリフレッシュ時にも画面上に所望のパターンを表示してキメの細かい連続的画像を表示できる画像制御方式を提供することにある。

本発明は、表示画面上の所定の位置に表示されるパターンの画像信号あるいは該パターンを形成するための画像制御信号を記憶部から読み出す画像制御方式において、前記パターンを前記表示画面上で拡大表示する時、該拡大表示すべきパターンの画像信号あるいは画像制御信号を前記記憶部から読み出す第1の期間と、該読み出された前記画像信号あるいは画像制御信号に基づくパターンが拡大表示される第2の期間とを有し、前記記憶部内の画像信号あるいは画像制御信号のうち少なくとも1つを前記第2の期間において再書き込みすることを特徴とする画像制御方式である。

以下、第4図以下の図面を参照して本発明の画像制御方式の一実施例を詳細に説明する。

第4図は本実施例の制御方式を用いた画像制御装置の要部を示す回路ブロック図で、拡大すべきパターンの倍率を設定する拡大係数保持レジスタ1と、映像メモリ5に対してリフレッシュ用アドレスを出力するリフレッシュカウンタ2と、映像データのアドレスを出力する映像メモリアドレスレジスタ3と、拡大係数保持レジスタ1の内容によつてリフレッシュカウンタ2と映像メモリアドレスレジスタ3との出力の切換を行なう切換回路ブロック4と、映像すべきパターンデータを選択したCRT表示部へ伝えるゲート部6とを有し、映像メモリ5からの出力データバスはゲート部6へ映像データを送るバス7とリフレッシュ用データを帰還するバス8とを含む。更に切換ゲート4の内部構成は拡大係数保持レジスタ1からの信号を一方に入力するANDゲート9とこの信号をインバータ11によつて反転して一方に入力するANDゲート10と、これら2つのANDゲート9, 10の出力を入力し、リフレッシュアドレスあるいは映像データ出力用アドレスのいずれか一方を映像メモリ5へ供給するORゲート12とを含み、各ANDゲート9, 10の他の入力端には、リフレッシュカウンタ2、映像メモリアドレスカウンタ3が各々接続される。

画像制御装置としては、第4図に示す回路手段の他にCRT画面上を順次走査する走査線に対応して、該走査線上に表示すべきパターンデータのアドレスを映像メモリレジスタへ設定する手段、リフレッシュ用アドレスをリフレッシュカウンタへ設定する手段、又拡大係数保持レジスタへ拡大

5

データを設定する手段等を有し、これらはマイクロプロセッサによつて制御される。更に映像メモリ5にパターン名を示すデータを設定する場合には、この映像メモリ5からの出力はパターン発生装置へ送られる。パターン発生装置とは前記パターン名データをアドレスとして、画面上に表示されるパターンを形成する総ての絵素パターンを格納している記憶部（例えば1絵素が7×8のドットマトリクスパターンとして記憶されているROMを指す）である。一方、CRT表示部へ送る

パターン情報を一画面毎に編集して映像メモリへ格納させる場合には、この映像メモリからの出力ビットは正規のパターンデータとして出力され、直列ビット情報に変換され同期信号と共に搬送信号としてCRT表示部へ送られる。

第4図に示す回路ブロックを含む本実施例の画像制御装置によれば、CRT画面上に映像メモリに格納されているパターンデータをそのアドレス順に連続して表示する場合には拡大係数保持レジスタ1とリフレッシュカウンタ2とはリセット状態に保たれており、映像メモリアドレスレジスタ3の内容を順次1ずつ加算して連続的にアドレス指定することにより映像メモリ5からデータを読み出すことにより、ゲート部6を介して該データをCRT表示部へ送ると同時にバス8を介して読

6

み出されたデータをメモリへ帰還せしめ再書き込み（リフレッシュ）を行なう。これは従来第1図で示した動作と実質的に同じ動作である。従つて、映像メモリアドレスレジスタ3は読み出しサイクル1周期毎に連続したアドレスを出力し、一方リフレッシュカウンタ2はリセット状態に保持されたままで、計数動作を実行しない（第5図）。次に第1走査線上で横方向に例えば2倍の拡大表示を行なう時は、拡大係数保持レジスタ1に2倍拡大データ（2進数で「01」）を設定するとともに映像メモリアドレスレジスタ3から拡大すべきパターンのアドレスを最初の読み出しサイクルで映像メモリ5へ送る。この時メモリ5から読み出された拡大パターンデータはバス7を介してゲート部6へ送られ、ここからCRT部へ出力されるとともにバス8を介してリフレッシュもなされることができる。次の読み出しサイクル時には拡大係数保持レジスタ1からHレベル信号を出力することによつてANDゲート10を閉じ、リ

フレッシュカウンタからリフレッシュアドレスをANDゲート9を介してメモリ5へ送る。この時はメモリ5の出力段のゲート部は閉じられ、メモリ5から読み出されたデータがバス8を介して帰還されリフレッシュのみを行なう。更に次の読み出しサイクルでは拡大係数保持レジスタ1の内容が1減算されリセットされた状態にあるので、次に表示すべきパターンのアドレスがANDゲート10を介してメモリへ送られる。尚この表示パターンも2倍に拡大して表示したい時には拡大係数保持レジスタ1に更に2倍データを書き込めばよい（第6図）。以下同様に横方向へ拡大表示を行なうとともに表示されないパターンデータに対しては拡大表示期間にリフレッシュカウンタ2からリフレッシュ用アドレスを高速で順次供給することにより表示を消すことなくリフレッシュができる。

更に横方向拡大のみならず縦方向に対しても拡大表示する時には、次の第2走査線期間で前述と同様の動作を行なえばよい。これにより、縦横に対して画面がとぎれることなく連続して拡大表示が行なえるとともに、表示されないデータに対しても円滑にリフレッシュを行なうことができる。

尚、拡大表示方式としては種々の方式が提案されているが本実施例ではCRT表示部へ出力するパターンデータ出力のクロック周波数を遅くすることにより拡大表示を行なう例を提示し、第7図にその具体例を挙げて説明する。同図において第4図と同一の参照数字を符した回路ブロックは第4図において説明した回路動作と同一の動作を行なうものである。

第7図において、ドットタイミングクロック発生器20は基本クロックを発生して、シフトクロック発生器21とアドレスクロック発生器22に送る。アドレスクロック発生器22は映像メモリアドレスレジスタ3とリフレッシュカウンタ2に読み出し制御信号を与える。一方シフトクロック発生器21は、映像データ直列-並列変換シフトレジスタ24へシフトクロックを与えるとともに、ラッチクロック発生器23へもシフトクロックを与える。ラッチクロック発生器23からは映像メモリ5から読み出される映像データを表示用データとしてシフトレジスタ24へ書き込む時にラッチタイミング信号がシフトレジスタ24へ送

7

られる。前述のシフトクロック発生器 2 1 は拡大係数保持レジスタ 1 で制御され、ドットタイミングクロック信号を拡大係数に応じて変化せしめる機能を有する。

かかる構成によれば、映像データのアドレスとリフレッシュ用アドレスとの出力状態は第 8 図、第 9 図のようなタイミング図で示される。

即ち、映像メモリ 5 から連続的に表示用データを読み出しこれに基づく CRT 表示を実行する場合は拡大係数保持レジスタ 1 に 1 倍表示データ「00」を設定する。これにより、リフレッシュカウンタは前述した様にリセット状態に保たれ、アドレスレジスタ 3 のみが読み出し制御される。この読み出し制御はドットタイミングクロック発生器 2 0 で作られる例えば 20MHz のタイミングクロック信号がアドレスクロック発生器によつて 1/10 に分周され 2MHz のアドレスクロックとしてアドレスレジスタ 3 に出力される。従つてアドレスレジスタ 3 からは 2MHz を 1 周期として映像メモリ 5 へアドレスデータが 000、001、002……と順次連続的に供給される。一方拡大係数保持レジスタ 1 には 1 倍表示データ「00」が設定されているため、シフトクロック発生器 2 1 は 20MHz のドットタイミングクロックをそのままシフトレジスタ 2 4 とラッチクロック発生器 2 3 へ出力する。ラッチクロック発生器はアドレスクロックと同期して 2MHz 周期でラッチ信号を出力し、映像メモリ 5 から読み出される表示用映像データをシフトレジスタ 2 4 へ並列に書き込む。20MHz のシフトクロックに同期として直列映像信号として出力される表示用映像データは CRT 表示部へビデオ信号として供給される。更に映像メモリ 5 から読み出される前記映像データはバス 7 を介してシフトレジスタ 2 4 へ供給されるとともに、バス 8 を介して帰還されメモリ 5 へ再書き込みされる (第 8 図)。

次に、例えば 2 倍の拡大表示を行なう時は拡大係数保持レジスタ 1 に 2 倍表示用データ「01」を設定するとともに、拡大すべき映像パターンを示す映像データをアドレスレジスタにより読み出す。読み出された映像データはアドレスクロック周期の最後に同期して出力されるラッチ信号により並列にシフトレジスタ 2 4 へ書き込まれるとともにバス 8 を介してリフレッシュされる。次のア

8

ドレスクロック同期はリフレッシュカウンタ 2 から出力されるリフレッシュ用アドレスが映像メモリ 5 へ供給され、指定されたデータがバス 8 を介してリフレッシュされるが、ラッチ信号が出力されないためシフトレジスタ 2 4 へは書き込まれない。この期間では、2 倍表示のためシフトクロック発生器 2 1 から読み出されるシフトクロックは 1/2 分周された 10MHz の周波数でシフトレジスタへ送られる。従つて CRT 画面上ではアドレスクロック 2 周期分に渡つて「000」番地に格納されていた映像データが 2 倍に拡大表示される。ラッチ信号はシフトクロック 10 パルスを計数して 1 パルスを出力するカウンタ動作を行なうため、アドレスクロック 2 周期毎に表示用データをシフトレジスタ 2 4 へ書き込む。これによつて画面上でパターンが切れることなく連続した拡大表示ができる (第 9 図)。更に縦方向に対して拡大表示させる時は前述の動作を繰り返せばよい。これは第 10 図に示す通りである。

この様に本実施例によれば、拡大用表示データが読み出される毎に拡大期間分リフレッシュ動作が実行され、かつこのリフレッシュ動作時に読み出されるデータは CRT 画面上には表示されないため連続した拡大表示ができ、リフレッシュ期間中にもパターンを表示することができる。

リフレッシュカウンタ 2 としては、0 から順次 1 づつ加算計数を行なえる通常のプログラムカウンタでよく、表示データが拡大して表示されている期間に、映像メモリをアドレス 0 から 1 づつ順次アドレス指定するものである。ここで一画面の表示周期を 16ms とした時は、リフレッシュ周期は 2ms、4ms、8ms 等高速に設定できる。更に映像メモリが 1K バイト容量で 128 バイトづつの 8 個のメモリブロック (メモリチップ) から成っている時は、リフレッシュカウンタは 0 ~ 128 のアドレス計算ができるものであれば 1 アドレスで 8 個のメモリブロックの共通するアドレスを同時にリフレッシュできる。

この様に、リフレッシュカウンタで映像メモリの全アドレスに対してリフレッシュ動作を行なっているため、表示用データを読み出す時に同時に行なうリフレッシュは必ずしも必要ではない。これはシフトレジスタ 2 4 と映像メモリ 5 との間のバス 7 にゲートを設けて、表示用データ読み出し

時とリフレッシュ用データ読み出し時とでタイミング制御してゲートの開閉を制御し、表示用データ読み出し時のみシフトレジスタ24と映像メモリ5とを電気的に接続すれば達成できる。

尚、拡大係数保持レジスタに「010」「011」…5…を設定した場合には3倍、4倍…の各拡大表示ができる。この拡大データを順次1つつ減算し、その結果と基準データ「000」との一致を検出することにより、所望の拡大周期が得られることは明白である。

更に映像メモリ5として一画面分あるいはそれ以上の映像データを格納すべく大容量のメモリを複数チップで構成した場合した場合にも、各チップの同一アドレスに書き込まれたデータは同時にリフレッシュできることはいうまでもない。又、15…クロック発生器はシフトレジスタ構成でもカウンタ構成でもよく、所望の分周値が得られる機能を持つものであればよい。拡大表示方式としては本実施例で提案した以外に、各画素パターンを分割して夫々を拡大しつなぎ合わせる方式や、拡大用20…映像データを記憶する別のメモリ手段等を有する方式等種々の方式があるが、本発明はリフレッシュが必要なダイナミックメモリを用いた画像制御装置にはすべて適用できるものである。

図面の簡単な説明

25

第1図は通常表示時の映像メモリアドレスと画

面との対応図、第2図は2倍拡大表示時において強制リフレッシュを行わない場合の映像メモリアドレスと画面との対応図、第3図は2倍拡大表示時において従来方式による強制リフレッシュを行なった場合の映像メモリアドレスと画面との対応を示す図、第10図は2倍拡大表示時において本発明の一実施例によるリフレッシュを行なった場合の映像メモリアドレスと画面との対応図、第4図は本発明の一実施例を示す画像制御装置の要10部回路ブロック図。第5図、第6図はそれぞれ通常表示時及び2倍拡大表示時におけるリフレッシュタイミング図、第7図は本実施例の具体例を示すブロック図、第8図、第9図は夫々その動作タイミング図を示す。1…拡大係数保持レジスタ、2…リフレッシュカウンタ、3…映像メモリアドレスレジスタ、4…切換ゲートブロック、5…映像メモリ、6…ゲート、7、8…バス、9、10…ANDゲート、11…インバータ、12…ORゲート、20…ドットタイミングクロック発生器、21…シフトクロック発生器、22…アドレスクロック発生器、23…ラッチクロック発生器、24…映像データ並列-直列変換シフトレジスタ。

第1走査線	000	001	03F
第2 "	040	041	07F
第3 "	080	081	0BF
第4 "	0C0	0C1	0FF
第5 "	100	101	13F

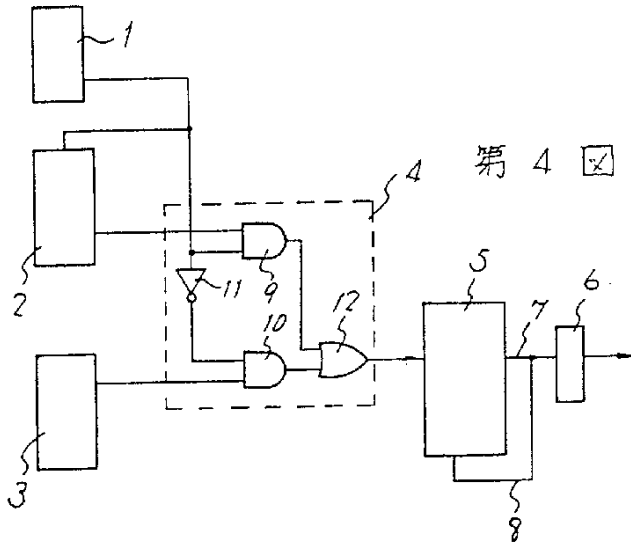
第1図

第1走査線	000	001	01F
第2 "	000	001	01F
第3 "	040	041	05F
第4 "	040	041	05F
第5 "	080	081	09F

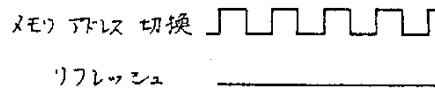
第2図

第1走査線	000	001	01F
第2 "	020	021	03F
第3 "	040	041	05F
第4 "	060	061	07F
第5 "	080	081	09F

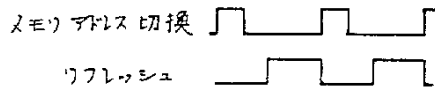
第 3 図



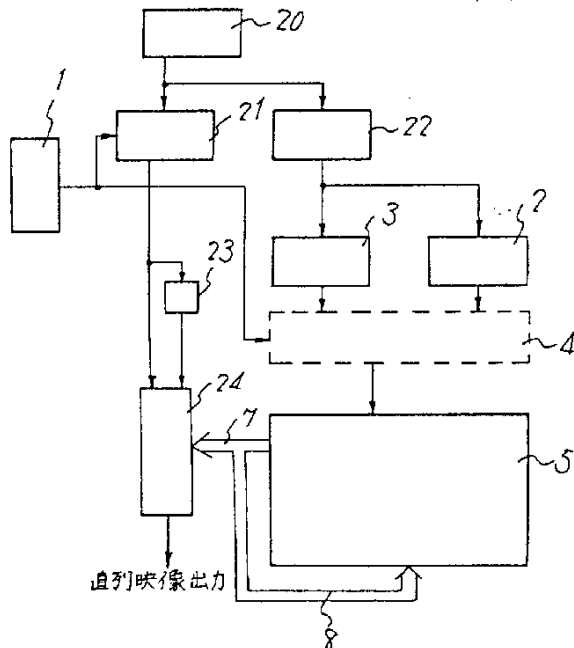
第 4 図



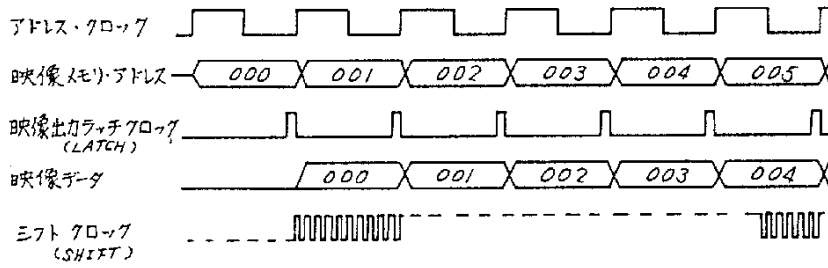
第 5 図



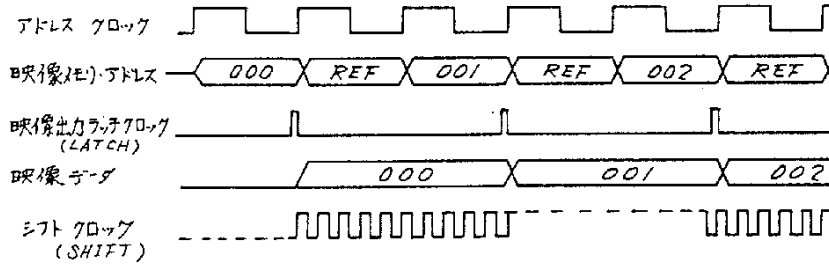
第 6 図



第 7 図



第 8 図



第 9 図

第1走査線
 第2 “
 第3 “
 第4 “
 第5 “

000	001	01F
000	001	01F
040	041	05F
040	041	05F
080	081	09F

第10 図