⑲日本国特許庁（JP）　⑪特許出願公告

⑫特許公報（B2）　昭59-32819

㉛Int.Cl.³　識別記号　庁内整理番号　㉔㊹公告　昭和59年(1984) 8月11日

G 06 F 9／30　C－7218－5B
9／26　B－8120－5B
9／34　7218－5B

発明の数　1

（全6頁）

1　2

㊿アドレス制御装置

㉑特　　願　昭50－79834
㉒出　　願　昭50(1975) 6月26日
（前置審査に係属中）
㊰公　　開　昭52－3350
㊸昭52(1977) 1月11日

㉒発明者　小口　哲司
東京都港区芝五丁目33番1号　日本電気株式会社内
㉑出願人　日本電気株式会社
東京都港区芝五丁目33番1号
㉔代理人　弁理士　内原　晋

⑯参考文献
特　開　昭49－12736（JP，A）
特　開　昭49－116931（JP，A）
特　開　昭49－116932（JP，A）
特　開　昭50－54259（JP，A）
特　開　昭50－72550（JP，A）

⑰特許請求の範囲

1　情報の読み出しが可能な第1の記憶手段と、命令群が格納された第2の記憶手段と、この第2の記憶手段から読み出した命令を解読し、その解読結果に基いて制御信号を発生し、これによつて前記第1の記憶手段からの情報の読み出し操作を行なう手段とを有するアドレス制御装置において、前記第1の記憶手段の情報を使用する必要のない命令に対して、該命令に基いて前記制御信号の発生を禁止し、該制御信号とは別に擬似制御信号を発生し、この擬似制御信号を用いて前記第2の記憶手段から次の命令を読み出す制御回路を設けたことを特徴とするアドレス制御装置。

発明の詳細な説明

本発明はデイジタル装置で使用される命令記憶装置のアドレス制御装置に関する。

以下の説明では情報記憶装置としてシフトレジスタを用いた計算機を例に取る。この説明で使用されるタイミング関係の用語について第1図を参照して予め説明する。論理レベルに対する記述には論理レベル"H"を"1"，"L"を"0"とした正論理を用いるクロツクϕ_1，ϕ_2は計算機の基本となる刻時パルスで連続して出力され、これらクロツクϕ_1，ϕ_2は同時に"H"となることはない。ビツト・タイミング信号t_1，t_2，t_3，t_4はクロツクϕ_2が"H"となると同時に"H"となり次にϕ_2が"H"となると同時に"L"となり、1ビツトタイム間出力されるタイミング信号でありt_1からt_2，t_3，t_4の順に繰返し発生される。デイジイツトタイミング信号D_1，D_2，……D_{12}はビツトタイムt_1からt_4の4ビツトタイム間連続して出力されるタイミング信号であり、デイジイツトタイミング信号D_1～D_{12}の順に繰返し発生される。デイジツトタイミング信号D 1とタイミング信号t_1の発生時点から次のD 1・t_1が発生するまでの時間を1ワードタイムと表現する。

従来、一定の循環同期を持ち、情報を保持記憶するシフトレジスタを使用した計算機ではシフトレジスタ本来の性質によつてランダムアクセスが不可能であるため、シフトクロツク発生ごとに1ビツトずつデータがシフトレジスタから読出されてくる。このためレジスタ全内容に均等にメモリから読出されてくる命令が与えられるように、1循環周期（1ワードタイム）間、同一命令が出力されている。従つて前記メモリのアドレスを指定するアドレスレジスタの内容の更新は通常1ワードタイムごとに行なわれるように固定化されている。具体的に第2図に示す従来の装置では信号$D_{12}\cdot t_4\cdot\phi_1$をアンドゲート回路7にてゲートし、その出力に一定間隔のϕ_{AR}（第5図）を得るようにしそのシフトクロツクϕ_{AR}によつて例えばリードオンリーメモリによつて構成された命令記憶手段ROMの読出アドレスを変更し、命令記憶手段

ROMより次のアドレス命令信号を読出し、この読出出力を解読器DKにて解読し、ゲート回路G_1を通じて情報記憶位置指定信号即ちコントロールタイミング信号（第5図A、以下CT信号と称す）を得、このCT信号にて情報記憶手段、即ち循環型記憶器Mからの読出出力をゲートし必要な内容だけを出力端子Tに得るようにしている。

第5図は第4図に示す乗算ルーチン流れ図に従つて従来の装置を動作させた場合のCT信号の発生状態を示す図である。図中、Z，Y，XLは数値が記憶されているレジスタの名称及び記憶位置を示す略記号であり、ZとはZレジスタのD_4～D_{11}期間の情報、YとはYレジスタのD_4～D_{11}期間の情報、XLとはXレジスタのD_4タイムの情報をそれぞれ表現するものである。従つて第5図に示すCT信号はZではD_4～D_{11}、YではD_4～D_{11}、XLではD_4の期間「H」レベルとなる。この第5図から明らかな如く、従来では実質的に命令を実行しているときにだけ発生するCT信号の発生期間はわずかな時間しかなく無駄時間が多いことが解る。

結局、従来の装置ではシフトレジスタ全内容について命令を実行させるのではなく、ある1桁のみを抽出して命令を実行させ、他の桁の情報は不変のまま単に循環を行なわせる場合がしばしばである。この場合、実際に命令を実行している時間は1桁期間のみ必要であるにも拘らず、従来方式ではアドレスレジスタの更新周期が前記したとおり1ワードタイムに固定化されている。さらにジャンプ命令、判定命令のように直接的にシフトレジスタの循環周期に無関係な命令もあり、しかも短期間で実質的な命令実行が終了する命令であつても同様に1ワードタイムを費やし、処理時間が長くなる欠点がある。

本発明の目的は命令を記憶するROMへのアクセスタイミング時間を可変にして処理速度を向上させたアドレス制御装置を提供することにあり、命令の解読に基いて情報を記憶するメモリのアクセスが必要な場合にはそのアクセスタイミング制御信号を命令の解読結果により発生し、かつこの信号を用いてROMに対する次の命令の読み出しタイミングを制御する手段と、前記情報を記憶するメモリへのアクセスが不要な命令についてはこの命令を解読して前記アクセスタイミング制御信号とは別に擬似制御信号を発生し、それによつて短期内でROMへのアクセスを可能にしたことを特徴とする。とくに本発明によれば、命令そのものを解読してメモリへのアクセスタイミング制御信号を作成し、またメモリアクセスの不要な場合には別に擬似制御信号を発生する様にしているので、基本クロツクの分周比を可変にしたり、互いにサイクルの異なる複数のタイミング信号発生回路を用意することなく、命令を用いてROMへのアクセスサイクルを任意に変更することができる。

以下この発明の一実施例を第3図及び第6図を用いて詳細に説明する。

第3図においてDKは前記CT信号の発生器、即ちリードオンリーメモリROMの出力を解読してCT信号を発生させる解読器である。T_1で示される入力端子はジャンプ命令、判定命令等の命令のようにCT信号の発生が無い命令の場合"H"となる信号P（第6図A）を供給する。3及び8はデイジイツトの最終ビツトt_4タイムのクロツクϕ_1発生時に新情報を読込み、次の1デイジイツトタイムの間、その情報を出力し保持記憶するシフトレジスタ、1，5，7，11はアンドゲート、2はオアゲート、9，10はナンドゲートであり、ナンドゲート9の出力はナンドゲート10の入力にまたナンドゲート10の出力はナンドゲート9の入力となり入力信号を保持するラツチを構成する。4，6，12はノツトゲートである。

第3図の回路機能は次の3点に要約される。

(1) 信号Pが"H"であるときアンドゲート1の出力は1デイジイツトタイムごとに"H"→"L"の信号変化が生ずる。具体的には第6図Bに示すCT信号波形図において斜線を旋した部分の信号の如く、新しいCT信号を挿入することである。この新しいCT信号は入力端子T_1に供給する信号P（第6図A）をCT信号に加入することによつて得ることができる。

(2) オアゲート2の出力が"H"→"L"に変化したことを検出してそのデイジイツトタイムのt_4，ϕ_1時にアドレスクロツクϕ_{AR}を発生させること。

(3) アドレスが更新された最初のデイジイツトタイムにCT信号発生器DKより信号出力が出たときはそのデイジツトからD_{12}までCT信号発生器DKからの信号を無効とすること。

これは本発明のようにクロツクφARの発生時期を可変にすると命令変化時期が第6図に示すように不定となり、アドレス5からアドレス3に変化したときデイジツトタイムがD_8であつたとすればD_8～D_{11}の期間に発生するCT信号は本来アドレス3の命令によつてD_4～D_{11}期間発生するCT信号の一部であるにすぎない。ためにこのCT信号は使用不可であり使用可能なCT信号の選択を行なうとともに使用不能なCT信号である場合は無効としてそのCT信号を使用しないようにする回路が必要となる。

上記(1)で示された回路機能はゲート1，2，3，6で構成される回路によつて達成される。信号Pが"H"のとき信号Pはノツトゲート12の入力に接続され、その出力はアンドゲート11の入力に接続されるのでアンドゲート11の出力は常に"L"である。フリツプフロツプ3の出力が初め"L"であつたとする。フリツプフロツプ3の出力はノツトゲート6の入力に接続され、ノツトゲート6の出力はアンドゲート1の一方の入力となりアンドゲート1のもう一方の入力には信号Pが供給されている。アンドゲート1の出力はオアゲート2の一方の入力となり、オアゲート2の出力はフリツプフロツプ3の入力に接続されている。而してアンドゲート1の出力が"H"となるとともにオアゲート2の出力も"H"となる。デイジイツトタイムが更新されるとフリツプフロツプ3の出力は前のデイジイツトタイムの$t_4 \cdot \phi_1$時のオアゲート2の出力と同一のものであるので"L"から"H"に変化する。フリツプフロツプ3の出力が"H"の場合はアンドゲート1の出力は"L"となるのでオアゲート2の出力は同様に"L"となる。デイジイツトタイムが更に更新されるとフリツプフロツプ3の出力は"H"から"L"へと変化する。

上記(2)で示された回路機能はゲート2，3，4，5，7によつて構成される回路によつて達成される。オアゲート2の出力はフリツプフロツプ3及びノツトゲート4の入力に接続され、各々フリツプフロツプ3及びノツトゲート4の出力はアンドゲート5の入力となり、アンドゲート5の出力はビツトタイミング信号t_4及びクロツクϕ_1が入力されているアンドゲート7のもう1つの入力に接続され、アンドゲート7の出力がクロツクφARである。こゝでオアゲート2の出力が"L"、フリツプフロツプ3の出力が"H"のとき、アンドゲート5の出力が"H"となりクロツクφARが発生する。フリツプフロツプ3はt_4 ϕ_1の時点毎にシフトクロツクが印加されるシフトレジスタであるのでオアゲート2の出力変化としてみれば前記の状態はオアゲート2の出力が"H"から"L"に変化したときに発生するものである。

上記(3)で示された回路機能はゲート2，3，4，5，8，9，10，11，12によつて構成される回路によつて達成される。ナンドゲート9，10は各々の出力が他方のゲートの入力に接続されているラツチであり、ナンドゲート9の他の入力にはワードタイムの最初に出力されるデイジイツトタイミング信号$\overline{D_1}$の反転信号であるD_1とノツトゲート12の出力が接続される。ナンドゲート10の他の入力にはCT信号発生器DKからの信号とアンドゲート5の出力が入力され、またフリツプフロツプ8の出力が供給される。ナンドゲート10の出力はアンドゲート11にも入力され、アンドゲート11の他の入力にはCT信号発生器DKからの信号とノツトゲート12の出力が供給され、アンドゲート11の出力はオアゲート2の入力となる。アンドゲート5の出力が"H"となつたときクロツクφARが発生しアドレスが更新される。フリツプフロツプ8はt_4 ϕ_1をシフトクロツクとするシフトレジスタであり、クロツクφAR発生時のフリツプフロツプ8の入力は"H"であるのでアドレスが更新された最初のデイジイツトタイムにおけるフリツプフロツプ8の出力は常に"H"である。このときCT信号発生器DKより"H"の信号が発生するとナンドゲート10の出力は"L"となり以後$\overline{D_1}$又は信号Pがくるまで"L"が保持されアンドゲート11に入力されるCT信号発生器DKからの信号は無視され、アンドゲート11の出力は"L"となる。ナンドゲート9に入力される前記$\overline{D_1}$によつてナンドゲート10の出力は"L"から"H"へ変化し、以後入力されるCT信号発生器DKからの信号をアンドゲート11をひらくことによつて能動状態とする。第6図に示す具体例ではアドレス5からアドレス3への切換え時に発生するD_8～D_{11}の間"H"となるCT信号は前記のようにナンドゲート10の出力を"L"とすることによつて無視し、次の

ワードで発生するD_4〜D_{11}の正規の期間“H”となるCT信号のみを能動状態とすることができる。

以下第3図の回路の動作を第6図のタイミング波形図を参照して詳しく説明する。なお、第6図においてAは入力端T_1から入力される信号Pに応答して動作するANDゲート1の出力波形、BはORゲート2の出力波形、CはANDゲート7の出力波形、DはT_1から入力される信号Pの波形、EはANDゲート5の出力波形、FはCT信号発生器DKの出力信号波形、GはD_1タイミング信号の反転波形、HはNANDゲート10の出力波形を夫々示す。動作は第4図のフローチヤートに従う。

まず、アドレス1のマイクロ命令（0→Z）は情報記憶手段Mをアクセスする必要がある命令であるから、DKからはFに示す出力信号、すなわちD_4乃至D_{11}のタイミングを知らせる信号が出力される。この時はT_1端子には信号Pが入力されず、ANDゲート11はDKの出力をそのままCT信号として出力する。これによつて、タイミングD_4乃至D_{11}の期間、情報記憶手段Mからの情報が端子Tを通して読み出される。一方、アドレス1のワードタイムの最後のタイミングD_{12}でANDゲート5が論理“H”となり、$D_{12}\cdot t_4\cdot\phi_1$のタイミングでANDゲート7が開く。従つて、ROMの次のアドレスをアクセスする信号ϕ_{AR}がANDゲード7から出力される。

アドレス2の命令はJMP命令であり、これは情報記憶手段Mをアクセスする必要のない命令であるから、端子T_1からこれを指示する信号Pが入力され、この結果ANDゲート1の出力は“H”になる。この出力はORゲート2を介て転送されフリツプ・フロツプ3をセツトする。一方、ANDゲート5はフリツプ・フロツプ3の“H”出力とインバータ4の“L”出力とを受けるため、その出力は“L”である。しかし、フリツプ・フロツプ3の出力“H”がインバータ6を介してANDゲート1に帰還されるので、ANDゲート1の出力は“L”に変化する。この時、ANDゲ5へのインバータ4出力が“H”になるため、ANDゲート5の出力は“H”になる。従つて、ANDゲート7はこれをうけてROMに対して次のアドレスをアクセスする信号ϕ_{AR}を発生する。

この結果、Mをアクセスする必要のない命令において、従来のように1ワードタイムの期間より短かいD_1乃至D_2のタイミング期間で次のアドレスをアクセスすることができる。なお、この時DKからの出力はインバータ12の出力によつてANDゲート11で禁止され、Mへは転送されない。

次にアドレス4で（XL−1−XL）のマイクロ命令が実行される。この時はMはアクセスされなければならず、かつそのアクセスタイミングはD_4タイミングである。この時は、ANDゲート11が開きCT信号としてDKのD_4信号を出力する。

次の判定命令（B_0）はMのアクセスの必要性がないため、アドレス2の時と同様に各ゲートが動作する。

アドレス3でマイクロ命令（Z＋Y→Z）が実行される。この時、CT信号発生器DKはタイミング信号D_8を出力している。しかし必要な信号はD_4乃至D_{11}までのタイミング信号であるため、現在出力されているタイミング信号D_8およびそれ以降のタイミング信号D_{11}までは前述したように無効にされ、その後新しいタイミング信号D_4乃至D_{11}が使用される。

アドレス4，アドレス5では前記したアドレス4，5と同様の動作が実行される。

以上の説明のように本発明装置は従来の装置に第3図に示す如く数個のゲートを付加するだけでアドレス変更時間を可変することができ演算時間を大幅に削減できる。又、以上の説明では情報記憶装置より情報が1ビツトずつ直列に読出されてくる場合についての実施例を取りあげたが、これに限らず情報記憶装置より情報が並列に読出されてくる場合についても適用できることはいうまでもない。

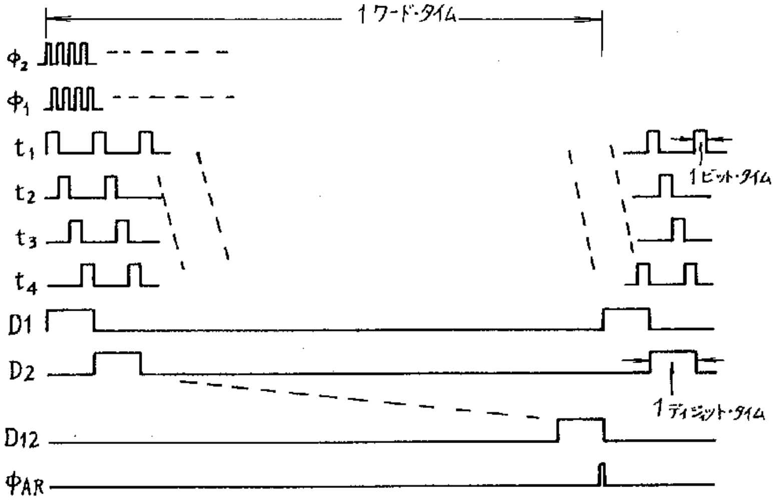
図面の簡単な説明

第1図はシフトクロツクと他のタイミング信号との関連を説明する波形図、第2図は従来の装置によるコントロールタイミング（CT）信号発生部及びアドレスレジスタ読込みクロツク発生ゲートを示す系統図、第3図は本発明の一実施例を示す系統図、第4図は従来及び本発明による装置の動作の説明に供する乗算ルーチンの一部を示す流れ図及びその表、第5図は従来装置によつて第4

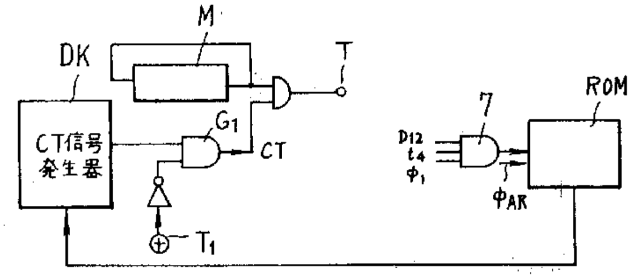
図に示す乗算ルーチンを実行したときのアドレスステツプの時間的変化とコントロールタイミング信号との関係を示した波形図、第6図は本発明装置によつて乗算ルーチンを実行したときのアドレスステツプの時間的変化と、各ゲートのタイミング信号との関係を示した波形図である。

M：情報記憶手段、ROM：命令記憶手段、CT：情報記憶位置指定信号。

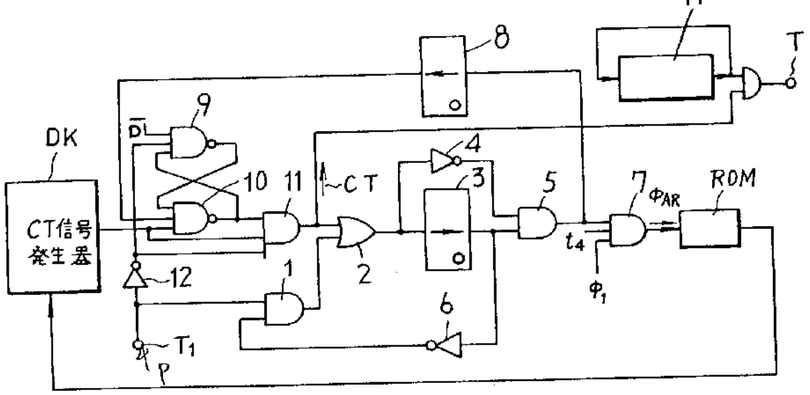
第1図



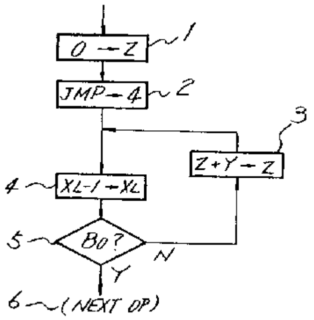
第2図



第3図

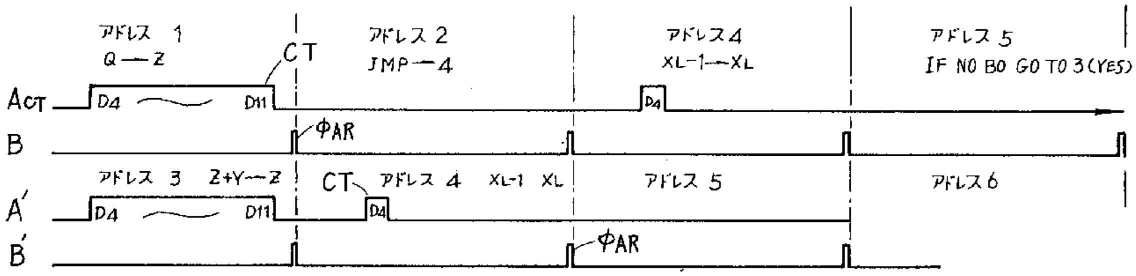
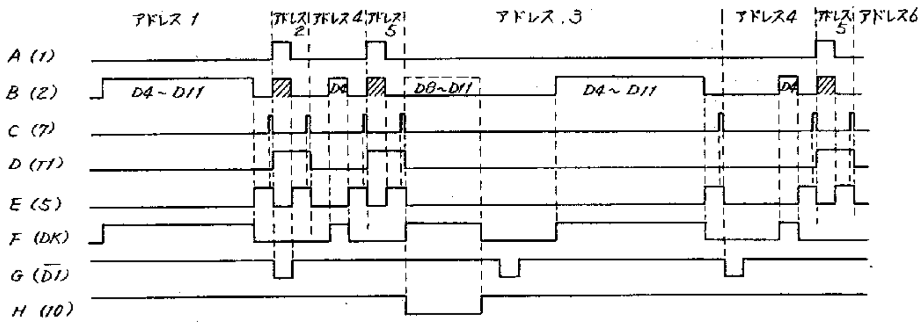


第4図



アドレス	マイクロ命令
1	O → Z
2	JMP → 4
3	Z+Y → Z
4	XL-1 → XL
5	IF NO Bo GOTO3
6	(NEXT OP)

第5図



第6図