

I wrote this μ PD72120 User's Manual (Paper Machine) by fully using Japanese word processor implemented on N5200 personal computer (Exported to USA and Europe named as Advanced Personal Computer (APC)) before I resigned from NEC in August, 1987.

I utilized an NEC dot matrix Kanji impact printer to print the document file. At that time, laser printer was still about to emerge and not popular yet.

Mr. Horiguchi who took charge of μ PD72120 firmware design put his additional comments in spots with earnest handwriting.

To read an English version of μ PD72120 User's Manual, go to https://www.oguchi-rd.com/72120/72120_Users_Manual.pdf.

Ref. Both N5200 and PC-9800 (Dominated Japanese market for a long time until replaced by IBM PC in around 1995) were 16 bit personal computer developed and manufactured by NEC installing two μ PD7220s (Predecessor of this μ PD72120) that I designed.

アドバンスト・グラフィックス・ディスプレイ・コントローラ

アドバンスト・グラフィックス・ディスプレイ・コントローラ (AGDC) は、現在すでに種々のパーソナル・コンピュータやグラフィックス表示装置に使用されているグラフィックス・ディスプレイ・コントローラ (GDC; μ PD7220, μ PD7220A)が持つ直線/円弧などの図形描画機能の他に高速データ転送機能/多様な塗りつぶし機能/任意角回転機能/任意倍率拡大縮小機能などの描画機能を強化すると共に、従来 CPUによって処理されていた座標-絶対番地変換などの描画前処理を実行するプリプロセッサを内蔵し、より効率的な並列処理形態とシステムレベルから見た描画速度の高速化を実現した第二世代のグラフィックス表示/描画用の周辺機器制御用 VLSI です。

[特徴]

○高速図形描画

描画種類： ◇ドット ◇直線 ◇拡大直線 ◇四辺形
◇円 ◇円弧 ◇円弧扇形 ◇円弧弦形
◇楕円 ◇楕円弧 ◇楕円弧扇形 ◇楕円弧弦形

描画速度：ピクセルまたはドット単位での描画

500 ns/ピクセル (ピクセル描画モード設定、描画クロック 8 MHz時)
500 ns/ドット (プレーン描画モード設定、描画クロック 8 MHz時)

○高速塗りつぶし描画

描画種類：表示メモリに対する境界点検索により塗りつぶし領域を確定する任意閉領域内塗りつぶし (ペイント)

◇境界色指定による閉領域内塗りつぶし
◇境界点検索開始点の色以外の色を境界色とする閉領域内塗りつぶし

座標演算により塗りつぶし領域を確定する塗りつぶし (フィル)

◇矩形内 ◇円内 ◇台形内 ◇三角形内

描画速度：ワード単位での境界点検索および描画
250 ns/ワード (最大)

○表示メモリ内高速データ転送

転送種類：多様な転送先/転送源の位置指定

◇座標 ←座標 ◇座標 ←絶対番地
◇絶対番地←座標 ◇絶対番地←絶対番地

多様なデータ・パック

◇二次元↔二次元 ◇二次元←一次元 ◇一次元←二次元

データ変形

◇90度回転 ◇裏返し

プレーン間転送

◇単一プレーン←単一プレーン ◇単一プレーン←複数プレーン
◇複数プレーン←単一プレーン ◇複数プレーン←複数プレーン

転送速度： 500 ns/ワード (リード/ライト時)
750 ns/ワード (リード/モディファイ/ライト時)

○高速イメージ処理

- 処理種類：◇第一軸固定、第二軸任意傾斜角度を持つ図形の傾斜
(ワード単位での描画)
- ◇第一軸、第二軸共に任意傾斜角度を持つ図形の回転
(ドット単位での描画)
- ◇図形の $N/16$ 倍縮小、 $16/N$ 倍拡大
(N は 1~16, ワード単位での描画)

○DMAによる転送も選択できる主記憶-表示メモリ間高速データ転送

- 転送種類：◇ CPUから表示メモリへのデータ転送 (PUT)
- ◇ 表示メモリから CPUへのデータ転送 (GET)

○内蔵プリプロセッサによる描画前処理の高速並列処理

○内蔵レジスタおよび表示メモリの CPUマップ化による効率的なシステムインタフェース

○同期信号発生器用クロックとプロセッサ用クロックの分離による処理速度の高速化

○表示メモリバス使用権授受のタイミング制御

○その他の特徴的機能：

- ◇プレーン間論理演算、
- ◇ハードウェア・クリッピング
- ◇制約の無いタイリング・パターン選択
- ◇ラインバッファ内蔵DRAM 制御機能、
- ◇外部同期機能

○システムバス・インタフェース

- ◇ 8/16 ビット双方向性データバス、
- ◇ 20 ビット・アドレスバス

○表示メモリ・インタフェース

- ◇ 16 ビット双方向性データバス、
- ◇ 24 ビット・アドレスバス
- 最大 16M語× 16 ビット

○ CMOS

○ +5V単一電源

○ 84 ピン・プラスチック LCC、80 ピン・フラット

2. 端子機能

2.1 クロック端子

(1) CLK (Clock)

同期信号発生器と表示プロセッサ以外の回路に供給されるクロックです。プリプロセッサによる描画前処理や描画プロセッサによる描画処理の速度はこのクロックの周波数によって変動します。

(2) SCLK (Clock for Sync Generator)

同期信号発生器と表示プロセッサの回路に供給されるクロックです。使用するモニタテレビや画面表示ドット数などのパラメータによって決定された周波数を供給します。

2.2 システムバス接続用端子

(1) AD15~AD0 (CPU Address Data Bus)

16 ビットのアドレス入力と 16 ビットの双方向性データバスとが時分割された入出力兼用端子です。1 バイトを単位として指し示すアドレスを供給します。

(2) A19~A16 (CPU Address Bus)

8ビットのアドレス専用入力端子です。1 バイトを単位として指し示すアドレスを供給します。

(3) ASTB (Address Strobe)

A19~A16 および AD15~AD0 に与えられたアドレス信号を内部レジスタに記憶させるときに高レベルを供給するタイミング信号です。

(4) $\overline{\text{UBE}}$ (Upper Byte Enable)

AD0端子に供給されるアドレス最下位信号 A0 と組み合わせられて以下に示すようなデータ・アクセス型の定義を行います。データバス本数が 8ビットの CPU を接続する場合には、VCCにプルアップします。

A0	$\overline{\text{UBE}}$	データ・アクセス
0	0	偶数アドレス・ワード
0	1	偶数アドレス・バイト
1	0	奇数アドレス・バイト
1	1	奇数アドレス・バイト

(5) $\overline{\text{RD}}$ (CPU Read Strobe)

CPUがシステムバス側にデータを読み出すときに低レベル信号を供給します。

(6) $\overline{\text{WR}}$ (CPU Write Strobe)

CPUが AGDC にデータを書き込むときに低レベル信号を供給します。

(7) $\overline{\text{CSIR}}$ (Chip Select for Internal Register)

AGDC が内蔵しているレジスタに対する書き込み/読み出しを行うときに低レベル信号を供給します。このとき、AD7~AD0 に供給される 8ビットのアドレス信号の値によってレジスタ選択が行われます。

(8) $\overline{\text{CSDM}}$ (Chip Select for Display Memory)

AGDC を経由して表示メモリに対する書き込み/読み出しを行うときに低レベル信号を供給します。このとき、A19~A16 およびAD15~AD0 に与えられたアドレス信号と内蔵しているバンク・アドレス・レジスタによって表示メモリ物理アドレスが生成されます。

(9) READY (AGDC Ready)

AGDC に対するデータ・アクセス要求によって起動され、データ・アクセスが正常に終了するまで低レベル信号を出力します。

(10) INT (Interrupt)

AGDC において割り込み条件が発生したときに高レベル信号を出力します。

(11) DMARQ (DMA Request)

DMA転送の要求をするときに高レベル信号を出力します。PUT/GETを DMA転送によって行うときに出力されます。

(12) $\overline{\text{DMAAK}}$ (DMA Acknowledge)

DMA転送中であるときに低レベルとなる信号を供給します。

(13) RESET (Reset)

AGDC の動作を初期化するとき高レベル信号を供給します。内蔵パラメータ・レジスタはデータ設定によってのみ初期化可能であり、この信号によって初期化されることはありません。

2.3 表示メモリ制御用端子

(1) DAD15 ~ DAD0 (Display Memory Address Data Bus)

16 ビットのアドレス出力と 16 ビットの双方向性データバスとが時分割された入出力兼用端子です。1ワードを単位として指し示すアドレスが出力されます。

(2) DA23 ~ DA16 (Display Address Bus)

8ビットのアドレス専用出力端子です。1ワードを単位として指し示すアドレスが出力されます。

(3) DASTB (Display Memory Address Strobe)

DA23~DA16および DAD15~DAD0に与えられたアドレス信号を外部のアドレス・ラッチ・レジスタに記憶させるときに高レベルを出力するタイミング信号です。

(4) $\overline{\text{DUBE}}$ (Display Memory Upper Byte Enable)

(5) $\overline{\text{DLBE}}$ (Display Memory Lower Byte Enable)

$\overline{\text{DUBE}}$ 信号と組み合わせられて以下に示すようなデータ・アクセス型の定義を行います。データバス本数が 8ビットの CPUが接続されており、表示メモリに対するアクセスを実行した場合には、 $\overline{\text{DUBE}}$ 信号は必ず高レベル信号を出力します。

$\overline{\text{DLBE}}$	$\overline{\text{DUBE}}$	データ・アクセス
0	0	偶数アドレス・ワード
0	1	偶数アドレス・バイト
1	0	奇数アドレス・バイト
1	1	奇数アドレス・バイト

(6) $\overline{\text{DRD}}$ (Display Memory Read Strobe)

AGDC が表示メモリのデータを読み出すときに低レベル信号を出力します。

(7) $\overline{\text{DWR}}$ (Display Memory Write Strobe)

AGDC が表示メモリにデータを書き込むときに低レベル信号を出力します。

(8) HLDRQ (Hold Request)

表示メモリ・バスの使用権を要求するときに高レベル信号を供給します。

(9) $\overline{\text{HLDAK}}$ (Hold Acknowledge)

表示メモリ・バスの使用権を AGDC から他の素子に渡すことが可能になったことを高レベルから低レベルへの移行によって指示し、低レベルから高レベルへの移行によってバス使用権の返還を他の素子に要求します。

2.4 同期信号関連端子

(1) VS/EXVS (Vertical Sync / External Vertical Sync)

AGDC がマスタ動作時には、垂直同期信号を出力します。スレーブ動作時には、外部から供給される信号を入力し低レベルから高レベルへの移行の際に内蔵垂直同期信号発生器の初期化を実行します。

(2) HS-EXHS (Horizontal Sync/ External Horizontal Sync)

AGDC がマスタ動作時には、水平同期信号を出力します。スレーブ動作時には、外部から供給される信号を入力し低レベルから高レベルへの移行の際に内蔵水平同期信号発生器の初期化を実行します。

2.5 表示信号関連端子

(1) BLANK (Blanking Signal)

表示消去を行うときに高レベル信号を出力します。

(2) $\overline{\text{DT-DISP}}$ (Data Transfer Timing - Display Timing)

ラインバッファ内蔵 DRAM を駆動する DT モードが設定されているときには低レベル信号を出力することによりデータ転送を行うタイミングを指示します。

サイクルスチールを行う CS モードが設定されているときには低レベル信号を出力することにより表示サイクルであることを指示します。

(3) GCSR (Graphics Cursor)

グラフィックス・カーサを表示するタイミングで高レベル信号を出力します。

2.6 uPD7220A 制御信号端子

(1) WAIT (uPD7220A drawing WAIT)

AGDC が表示またはリフレッシュ・サイクルに入っていることを示す信号であり、実際のタイミングより 4クロック先取りをして出力します。uPD7220A(GDC) と AGDC とが同一の表示メモリを共有しているシステム構成において、uPD7220A の WAIT 入力端子に接続することにより、AGDC の表示やリフレッシュ動作を妨げることなく uPD7220A は描画を実行できます。

AGDC と GDCとの接続条件

- (a) AGDCの SCLK と GDCの 2XCCLK には同一信号源のクロックを供給すること
- (b) AGDCは DT モードで動作していること

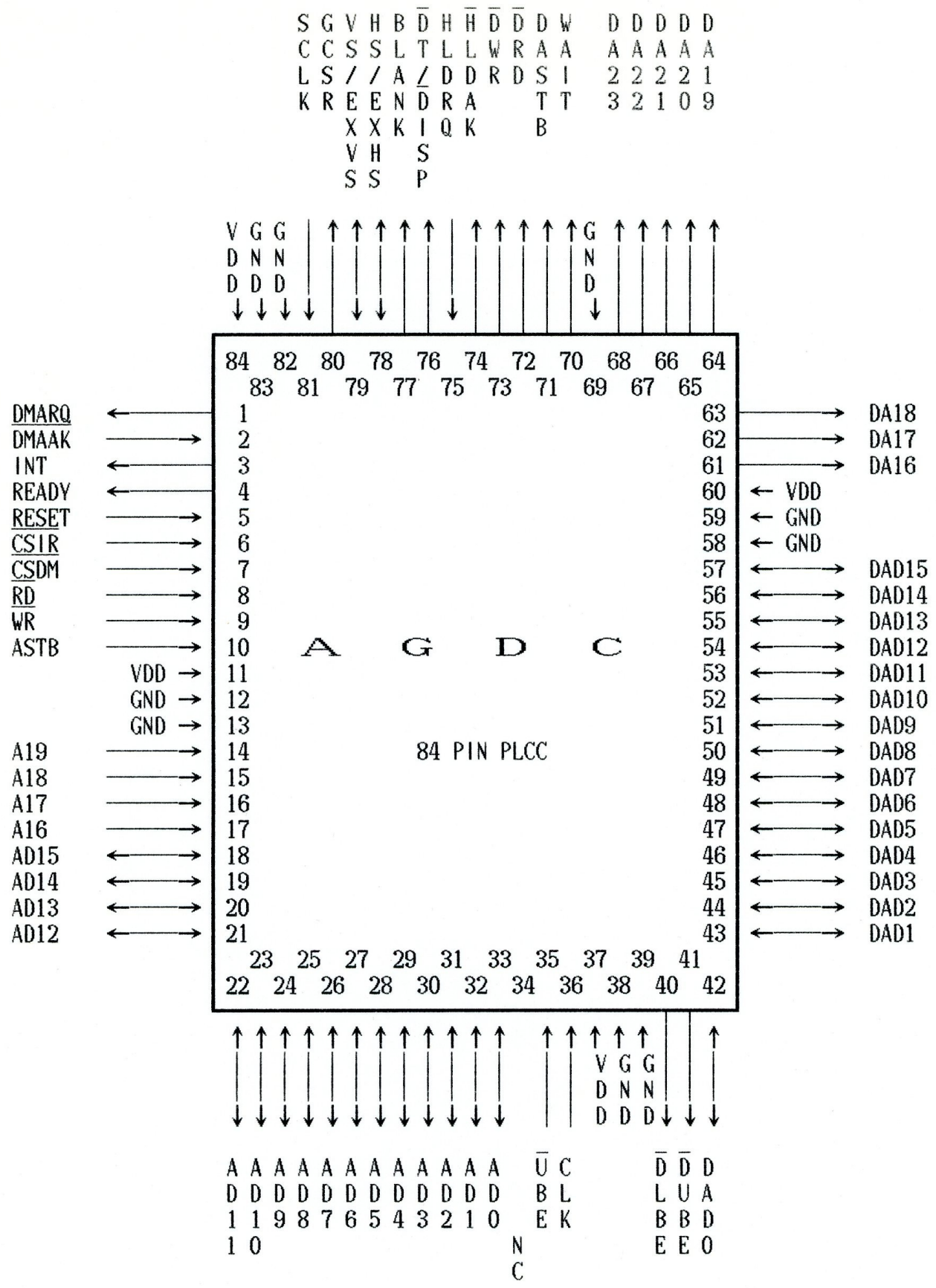
2.7 電源、グランド端子

(1) VDD

+5Vの電源を接続します。

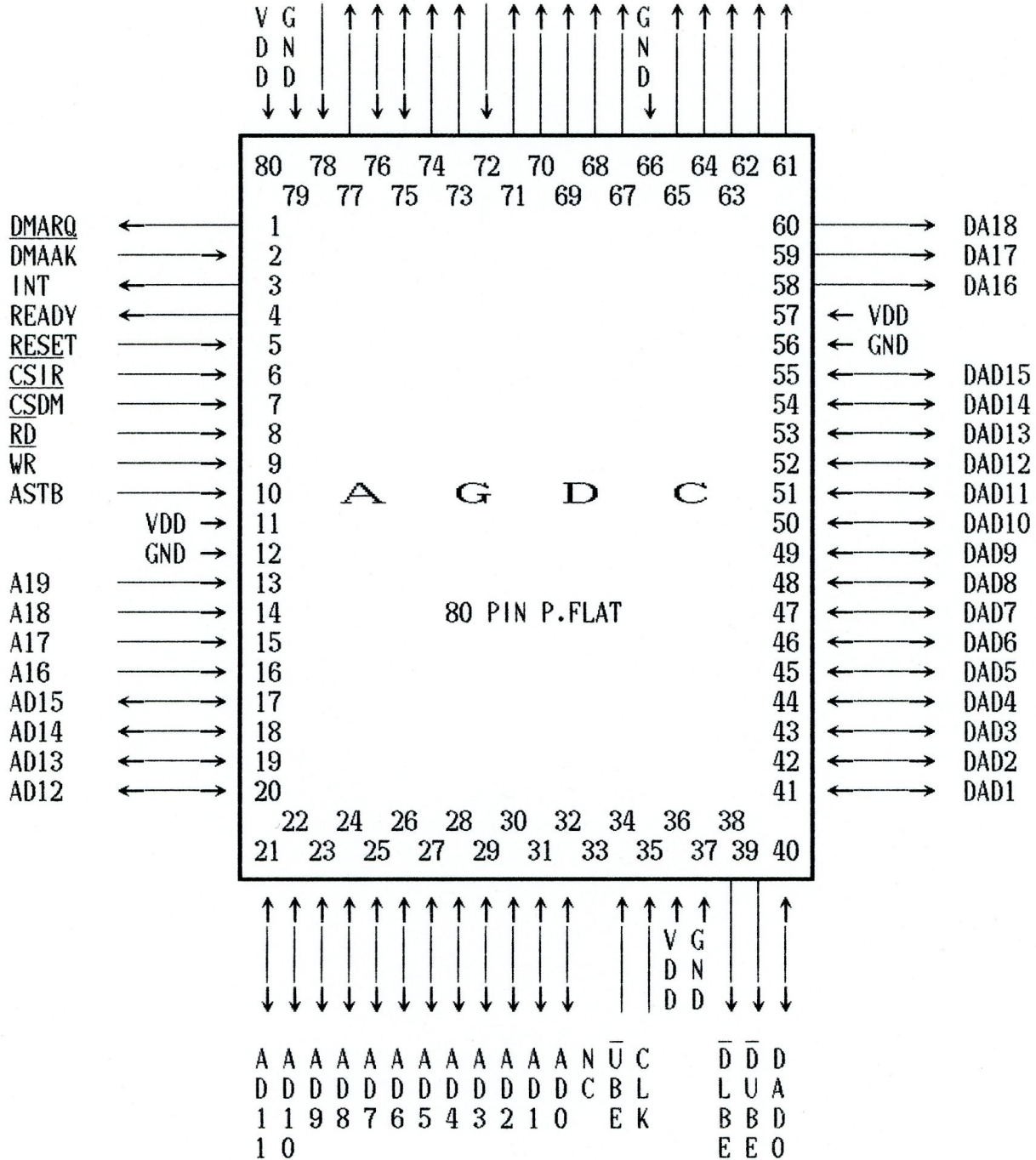
(2) GND

0V の接地用端子です。



【 84 ピン PLCC (プラスチック・リーディッド・チップキャリア) 端子接続図】

S G V H B \bar{D} H \bar{H} \bar{D} \bar{D} W D D D D D
 C C S S L T L L W R A A A A A A A
 L S / / A / D D R D S I 2 2 2 2 1
 K R E E N D R A T T 3 2 1 0 9
 X X K I Q K B
 V H S
 S S P



【 80 ピン・プラスチック・フラット端子接続図】

【 CPUが直接書き込み／読み出し可能なレジスタ一覧1】

MSB		LSB アドレス
← EADORG(M,L) →		00H RW
0 0 0 0	← dADORG → ← EADORG(H) →	02H RW
← EAD1 (M,L) →		04H RW
0 0 0 0	← dAD1 → ← EAD1 (H) →	06H RW
← EAD2 (M,L) →		08H RW
0 0 0 0	← dAD2 → ← EAD2 (H) →	0AH RW
← PDISPS (M,L) →		0CH RW
0 0 0 0 0 0 0 0	← PDISPS (H) →	0EH RW
← PDISPD (M,L) →		10H RW
0 0 0 0 0 0 0 0	← PDISPD (H) →	12H RW
← PMAX →		14H RW
0 0 0 0 0 0 0 0	← MOD1 → ← MODO →	16H RW
← PTN_P (M,L) →		18H RW
0 0 0 0 0 0 0 0	← PTN_P (H) →	1AH RW
← STACK (M,L) →		1CH RW
0 0 0 0 0 0 0 0	← STACK (H) →	1EH RW

アドレス 20H～3BH, 6AH～6BH のレジスタはプリプロセッサがワーキング用として使
用します。

MSB		LSB アドレス
← STATUS →		3CH R
← CTRL → ← BANK →		3CH W
← IRR →		3EH RW

【 CPUが直接書き込み／読み出し可能なレジスタ一覧2】

MSB

LSB アドレス

	X	40H	RW
	Y	42H	RW
	DX	44H	RW
	DY	46H	RW
	XS	48H	RW
	YS	4AH	RW
	XE	4CH	RW
	YE	4EH	RW
	XC	50H	RW
	YC	52H	RW
	DH	54H	RW
	DV	56H	RW
	PITCHS	58H	RW
	PITCHD	5AH	RW
	STMAX	5CH	RW
	PLANES	5EH	RW
	PTN_CNT	60H	RW
	XCLMIN	62H	RW
	YCLMIN	64H	RW
	XCLMAX	66H	RW
	YCLMAX	68H	RW
	0 0 0 0 0 0 CLIP ← MAGH → ← MAGV →	6CH	RW
	← COMMAND → ← FLAGS (L) →	6EH	W

【 CPUが直接書き込み／読み出し可能なレジスタ一覧3】

MSB		LSB	アドレス
← DISPLAY FLAGS →			70H W
0 ← AC →	← DISPLAY PITCH →		72H W
← DAD (M,L) →			74H W
← WC →		← DAD (H) →	76H W
CRS CE 0 0	← GCSRX →		78H W
0 0 0 0	← GCSRYS →		7AH W
0 0 0 0	← GCSRYS →		7CH W
0 0 0 0	← HS →		7EH W
0 0 0 0	← HBP →		7EH W
0 0 0 0	← HH →		7EH W
0 0 0 0	← HD →		7EH W
0 0 0 0	← HFP →		7EH W
0 0 0 0	← VS →		7EH W
0 0 0 0	← VBP →		7EH W
0 0 0 0	← L/F →		7EH W
0 0 0 0	← VFP →		7EH W

RW ; 書き込み／読み出し可能

H ; 24ビット・レジスタの上位 8ビット

W ; 書き込みのみ可能

M ; 24ビット・レジスタの中位 8ビット

R ; 読み出しのみ可能

L ; 24ビット・レジスタの下位 8ビット

80H～FFH までのレジスタは将来の機能拡張のために予約されています。

AGDC に対するコマンド/パラメータの受け渡し

AGDC が内蔵しているレジスタは CPUから読み書き可能なレジスタと不可能なレジスタとに分類できます。読み書き可能なレジスタは一覧表に示してあります。これらのレジスタにはすべて CPUのアドレスが割り付けられており、二種類あるチップセレクト入力信号のうち「CS1R」を低レベルとしたときのアドレス入力下位 8ビットの値により（00H～FFH）読み書きする目的のレジスタを選択します。読み書きすべきデータは同じアドレスサイクル内でデータバスに乗せることができるため高速にコマンド/パラメータの受け渡しができます。

AGDC が内蔵しているプリプロセッサは、描画プロセッサの動作とは独立して並列動作可能です。従って、CPUによるワールド座標からスクリーン座標への座標変換や GKSなどグラフィックス標準コマンド・インタフェースの命令解釈などのマクロな描画前処理と、

AGDC が内蔵するプリプロセッサによる座標値からの表示メモリ物理アドレスの生成や描画プロセッサが直接解釈できるミクロなレベルにまで落とされたパラメータの生成などのミクロな描画前処理と、AGDC が内蔵する描画プロセッサによる実際の描画処理とを 3段のパイプラインとして処理します。プリプロセッサおよび描画プロセッサは、複数の演算器を制御し、複数の命令を 1クロックで同時処理可能な並列プロセッサ構成となっています。

アドレス 00Hから 3BH、および、40Hから 6FHまでのレジスタはプリプロセッサにより制御されます。従って、これらのレジスタに対する読み出しは任意のタイミングに実行できますが、そのときプリプロセッサが処理中である場合には、一時的にその処理が中断されます。中断される時間は 1クロックと極くわずかです。書き込みを実行する場合には次のような 3種の方法が選択できます。

- (1) READY 出力信号を CPUに供給する方法
- (2) プリプロセッサがビジーからノンビジーに遷移したときに発生する割り込み信号を CPUに供給する方法
- (3) ステータス・フラグをセンスする方法

プリプロセッサがビジーからノンビジーに遷移したことにより発生する割り込みをマスクするかしないかは後述するコントロール・フラグによって制御できます。

(1)の方法を選択した場合には任意のタイミングに書き込みたいデータを連続的に送出することができます。但し、プリプロセッサが処理を開始しその処理を終了するまでの時間内に書き込みを実行しようとしたときには、「READY」信号が低レベルとなり書き込み動作はプリプロセッサの処理が終了するまで待たされます。グラフィックス制御専用の CPU を搭載し、コマンド/パラメータ・リストが既に作成済みであるような装置において、より高速にコマンド/パラメータを AGDC に送出したい場合に最適です。コマンド/パラメータの DMA 転送を実行する場合と比較して、転送データ作成に要する処理時間および DMA C と CPU との間でのバス受け渡しなどに要する無駄時間を省くことができます。

(2)の方法ではあらかじめ送出すべきコマンド/パラメータ・リストを主記憶上に作成しておき、割り込み発生の度に割り込み処理ルーチンにおいてプリプロセッサ処理要求を示すコマンド転送までの 1 ブロック分のコマンド/パラメータを転送します。

(3)の方法はステータス・フラグ内容を読み出し、プリプロセッサがビジーではないことをセンスした後にコマンド/パラメータを送出する一般的な方法です。

アドレス 3CH と 3DH のレジスタ (STATUS, CTRL, BANK) は任意のタイミングで読み書き可能です。

アドレス 3EH と 3FH のレジスタ (IRR) は描画プロセッサにより制御されているレジスタです。従って、上記 (1), (2), (3) の方法において『プリプロセッサ』とある記述を『描画プロセッサ』と読み換えた方法を選択することができます。

アドレス 70H から 7FH までのレジスタは表示プロセッサおよび同期信号発生器を構成しているレジスタです。読み出しはできません。アドレス 7EH と 7FH のレジスタ (HS, HBP, HH, HD, HFP, VS, VBP, L/F, VFP) に対する書き込みは次のような方法を用います。

(1) 「DISPLAY FLAGS」のうち同期パラメータ書き込み選択ビット「SYNC」を「1」として書き込みます。

(2) 「HS」から「VFP」までのパラメータを連続的にアドレス 7EH, 7FH に書き込みます

(3) 「SYNC」を「0」として「DISPLAY FLAGS」に書き込みます。

内蔵レジスタの用途

(1) EADORG (24), dADORG (4) ; EXECUTION (DOT) ADDRESS ORIGIN

座標原点 (0, 0) に相当する表示メモリの絶対番地を示します。

(2) EAD1 (24), dAD1 (4) ; EXECUTION (DOT) ADDRESS 1

座標指定ではなく絶対番地指定により各種描画を実行する場合に描画開始番地または転送先番地などを設定します。座標指定による描画実行を指定した場合にはプリプロセッサが新しい値を設定します。

(3) EAD2 (24), dAD2 (4) ; EXECUTION (DOT) ADDRESS 2

座標指定ではなく絶対番地指定により各種描画を実行する場合に転送源番地などを設定します。座標指定による描画実行を指定した場合にはプリプロセッサが新しい値を設定します。

(4) PDISPS (24), PDISPD (24) ; PLANE DISPLACEMENT SOURCE (DESTINATION)

表示メモリ・プレーンを 2枚以上持つ表示メモリ構成であるときや、異なるメモリ構成間でのデータ転送などを実行する際に参照され、各メモリの絶対番地変位を設定します。PDISPS には転送源データが格納されているメモリなどのプレーン間絶対番地変位を設定し、PDISPD には転送先データが格納されているメモリなどのプレーン間絶対番地変位を設定します。

(5) PMAX (16) ; PLANE MAXIMUM

プレーン間描画または境界点検索などを実行する場合に参照され、最大 16 枚までのプレーンのうちどのプレーンまでを描画などの対象とするのかを示すために次のように 16 ビットに展開された値によって設定します。

PMAX	描画対象
0000 0000 0000 0001	第 1プレーンのみ
0000 0000 0000 0010	第 2プレーンまで
0000 0000 0000 0100	第 3プレーンまで
.....
0100 0000 0000 0000	第15プレーンまで
0000 0000 0000 0000	第16プレーンまで

(6) MOD0 (4), MOD1 (4) ; DRAWING-MODE 0 (1)

描画実行時に参照される論理演算の種類を定義するために設定します。直線などの図形描画では線種パターンが「0」である場合には「MOD0」が参照され、「1」である場合には「MOD1」が参照されます。設定値と論理演算種類および描画実行具体例については、図 を参照して下さい。

(7) PTN_P (24) ; PATTERN_POINTER

塗りつぶしパターンなどを格納している表示メモリ領域の先頭絶対番地を設定します。

(8) STACK (24) ; STACK_POINTER

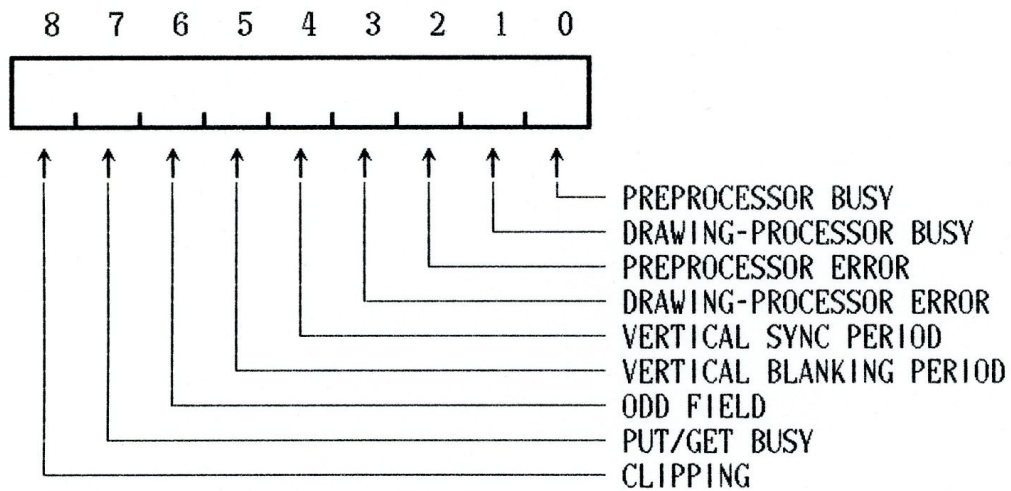
任意閉領域内塗りつぶしにおける境界点検索時に座標などのデータを待避するための表示メモリ領域の先頭絶対番地を設定します。

(9) ワーキング・レジスタ

ブリアプロセッサ処理の結果が一時的に格納されるレジスタです。

(10) STATUS (16) ;

ビットが「1」であるとき各々のビット位置は次の状態にあることを示します。



0 ; プリプロセッサ処理実行中

1 ; 描画プロセッサ処理実行中

2 ; プリプロセッサ処理エラー状態発生

3 ; 描画プロセッサ処理エラー状態発生

4 ; 垂直同期期間

5 ; 垂直消去期間

6 ; 奇数フィールド

7 ; PUT/GET 実行時、データ転送可能タイミング

8 ; クリッピング状態発生

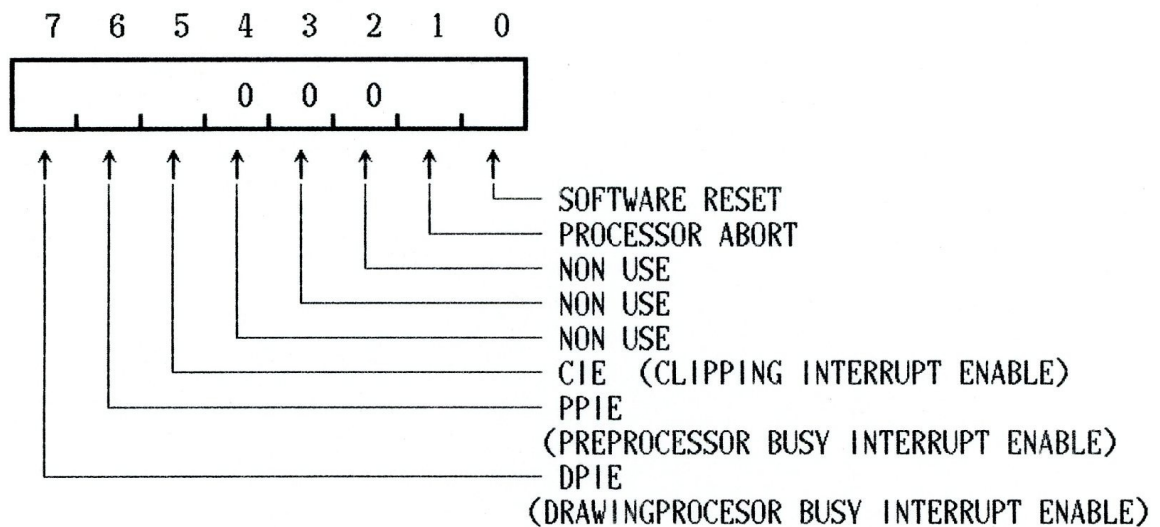
9~15 ; 未使用

(11) BANK (8) ;

CPUから与えられるアドレスは最大 20 ビットですが、16 ビット目から 24 ビット目に相当するアドレス上位 8ビットにこのレジスタの出力をオアすることにより、アドレス総ビット数を 24 ビットに拡張します。

(12) CTRL (8) ;

ビットが「1」であるとき各々のビット位置は次のような動作制御を行います。



- 0 ; 表示プロセッサに付随する表示停止フラグ「SD」に対するクリア動作を実行しないことを除き、RESET入力信号による初期化動作と同じ動作を実行します。初期化動作実行後、自動的にこのフラグは「0」にクリアされます。
- 1 ; プリプロセッサおよび描画プロセッサが処理中であつたとしてもその処理を強制的に中断してプロセッサ・ビジー状態を解除します。
- 2, 3, 4 ;
必ず「0」を設定します。
- 5 ; クリッピング状態が発生したときに発生する割り込み信号を有効とするかしないかを指示します。
- 6 ; プリプロセッサがビジー状態からノン・ビジー状態になったときに発生する割り込み信号を有効とするかしないかを指示します。
- 7 ; 描画プロセッサがビジー状態からノン・ビジー状態になったときに発生する割り込み信号を有効とするかしないかを指示する。

CIE,PPIE,DPIE	
0	INT信号を INT端子から出力しない
1	INT信号を INT端子から出力する

(13) IRR (16) ; INTERNAL ROTATION REGISTER

PUT/GET 時に書き込み／読み出しデータを一時的に記憶するための 16 × 16 ビットの記憶容量を持つ FIFO。コマンド・レベルでデータ転送を制御する場合には、3EHと 3FHに対する読み書きを行います。DMA転送によるデータ転送を実行する場合には AGDC が暗黙的にこのレジスタを選択します。

(14) X (16), Y (16), DX (16), DY (16), XS (16), YS (16), XE (16), YE (16), XC (16), YC (16) ;

各種描画における開始点などの座標値や変位などを設定するためのレジスタです。

(15) DH (16), DV (16) ;

各種描画における描画領域の大きさなどを設定するためのレジスタです。

32ビットの線種を指定した場合には、DHに上位16ビットの線種パターンを設定

(16) PITCHS (16), PITCHD (16) ; PITCH SOURCE (DESTINATION)

転送源（転送先）表示メモリの水平方向のワード数を設定します。描画時の描画絶対番地演算において、垂直方向へのドット位置の移動が生じた時、この値が参照されます。図形描画時には、PITCHD の内容だけが参照されます。

(17) STMAX (16) ; STACK MAXIMUM

任意閉領域内塗りつぶしにおける境界点検索時のデータ待避を行うメモリ領域の大きさを1回のスタック動作で必要とするデータ・ブロック数（1ブロック＝6ワード）により設定します。

(18) PLANES (16) ; PLANE SELECT

描画論理演算モード・レジスタ MOD0, MOD1 と共に使用され、一般に「0」を設定したメモリ・プレーンに対しては MOD0 内容による論理演算モードを適用し、「1」を設定したメモリ・プレーンに対しては MOD1 内容による論理演算モードを適用します。

(19) PTN_CNT (16) ; PATTERN COUNTS

実線や破線などの線種パターン、塗りつぶしパターンや表示メモリ上に展開された塗りつぶしパターンを参照する塗りつぶしを選択した場合の塗りつぶしパターンの繰り返し回数などを設定します。

32ビットの線種を指定した場合は、下位16ビットの線種パターンを設定します。

(20) XCLMIN (16), YCLMIN (16), XCLMAX (16), YCLMAX (16) ;

X (Y) CLIPPING MINIMUM (MAXIMUM)

描画時に参照される矩形のクリッピング領域を定義するために設定します。

(21) MAGH (4), MAGV (4) ; MAGNIFIER HORIZONTAL (VERTICAL)

拡大／縮小描画を実行する際に設定する水平方向（垂直方向）の拡大／縮小倍率を設定します。

(22) CLIP (2) ; CLIPPING MODE

次に示すようなクリッピング動作を選択するために設定します。

任意閉領域内塗りつぶし（ペイント）の場合には、境界点検索の範囲を指定するために必ず「00」の設定をして下さい。

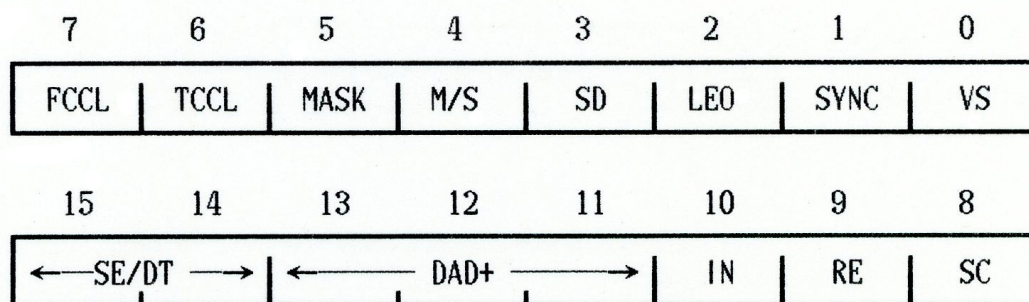
CLIP	機 能
00	定義領域内のみ描画する
01	クリップ動作なし
10	定義領域内は描画しない
11	定義なし

(23) COMMAND (16) ; COMMAND/FLAG REGISTER / FLAGS(L)

上位 8ビットの描画実行コマンド・コード部と下位 8ビットのコマンド・フラグ部とによって構成されます。コマンド・コード部にコマンド・コードが設定されるとプリプロセッサは動作を開始します。

(24) DISPLAY FLAGS (16) ;

表示プロセッサおよび同期信号発生器の動作を選択するために設定するフラグ・レジスタです。次のような選択が可能です。



0 ; VS (VERTICAL SYNC)

外部同期信号のうち VSYNC信号のみによって、水平/垂直カウンタの両方を初期化するかどうかを定義するフラグです。このフラグはスレーブ設定が成されている場合に有効となります。

VS=0 ; 初期化を実行しません。

VS=1 ; 初期化を実行します。

1 ; SYNC (SYNC PARAMETER SETTING)

SYNC パラメータを設定するときに「1」にするフラグです。

SYNC=0; 設定しないとき。

SYNC=1; 設定するとき。

2 ; LEO (DISPLAY LINES PER FRAME IN INTERLACE MODE)

インタレース設定時の 1フレームあたりの表示ライン数の合計を奇数本にするか偶数本にするかを定義するフラグです。

LEO=0; 偶数本表示。

LEO=1; 奇数本表示。

3 ; SD (STOP DISPLAY)

SD=0 ;同期信号発生器によって定義された表示期間以外の期間でのみ、表示ブランク信号 (BLANK) を活性化します。

SD=1 ;すべての期間で、表示ブランク信号を活性化します。

RESET信号端子からの高レベル信号により「1」に設定されます。

4 ; M/S (MASTER/SLAVE)

M/S=0;スレーブ動作。 VSYNCおよび HSYNC端子は入力信号を受け付けます。

M/S=1;マスタ動作。 VSYNCおよび HSYNC端子からは正規の信号を出力します。

5 ; MASK (MASK)

マスタ動作時、 VSYNCに出力する外部同期信号のタイミング調整の有無を定義します。

MASK=0 ; インターレース時、第一フィールドの VSYNC信号のみを出力します。

MASK=1 ; 正規の VSYNC信号を出力します。

スレーブ動作時、 VSYNCおよびHSYNC から入力された外部同期信号の有効/無効を定義します。

MASK=0 ; 有効。

MASK=1 ; 無効。

6 ; TCCL (TIMING COUNTER CLEAR)

外部同期信号のうち VSYNC信号によって、同期信号発生器用タイミング・カウンタ D1/D2の初期化を行うかどうかを定義するフラグです。

TCCL=0 ; 初期化を実行しません。

TCCL=1 ; 初期化を実行します。

7 ; FCCL (FIELD COUNTER CLEAR)

外部同期信号のうち VSYNC信号によって、フィールド・レジスタ（フィールドを記憶する 1ビットの F/F）を初期化するかどうかを定義するフラグです。

FCCL=0 ; 初期化を実行しません。

FCCL=1 ; 初期化を実行します。

8 ; SC (STEAL CONTROL)

このレジスタのビット 15,14 (SE/DT)の設定が「1X」であるときにのみ有効となるビットです。AGDC に供給する 2種のクロック CLKと SCLK の周波数の関係により設定値を次のように定義します。

SC=0 ; CLK≠SCLKの時

SC=1 ; CLK=SCLKの時

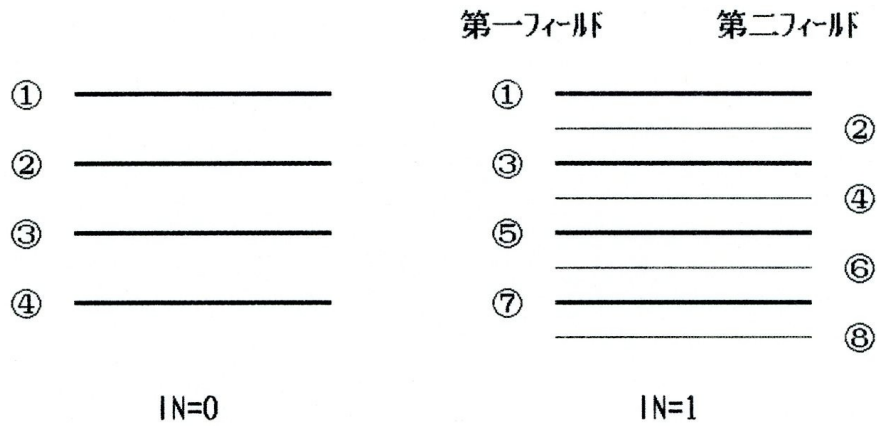
9 ; RE (REFRESH ENABLE)

RE=0 ; HSYNC中であってもリフレッシュ・アドレスを出力しません。

RE=1 ; HSYNC中にリフレッシュ・アドレスを出力します。

10 ; IN (INTERLACE)

同期信号の発生および表示アドレスの進行の形態を下図のような表示が可能なように制御します。



11~13 ; DAD+ (DISPLAY ADDRESS PROCEEDINGS)

表示アドレス (DAD) の進行形態を定義するフラグです。

DAD+	
000	DAD+1 ; (DAD), (DAD+1), (DAD+2), (DAD+3), (DAD+4), (DAD+5), (DAD+6)
001	DAD+2 ; (DAD), (DAD+2), (DAD+4), (DAD+6), (DAD+8), (DAD+10)
010	DAD+4 ; (DAD), (DAD+4), (DAD+8), (DAD+12), (DAD+16), (DAD+20)
011	DAD+8 ; (DAD), (DAD+8), (DAD+16), (DAD+24), (DAD+32), (DAD+40)
100	DAD+16 ; (DAD), (DAD+16), (DAD+32), (DAD+48), (DAD+64), (DAD+80)
101	DAD+32 ; (DAD), (DAD+32), (DAD+64), (DAD+96), (DAD+128), (DAD+160)
110	DAD+1/4 ; (DAD), (DAD), (DAD), (DAD), (DAD+1), (DAD+1), (DAD+1)
111	DAD+1/2 ; (DAD), (DAD), (DAD+1), (DAD+1), (DAD+2), (DAD+2), (DAD+3)

14~15 ; SE/DT (STEAL ENABLE / DATA TRANSFER MODE)

メモリ・サイクル・スチールを実行するタイミングで内部動作を行うか、ラインバッファ内蔵 DRAM uPD41264 に対するデータ転送タイミング信号 (DT) をどのようなタイミングで発生するのかを定義するフラグです。

	動	作
0X	メモリ・サイクル・スチールを実行します。	
10	DT 信号出力動作モード。画面の表示開始時、1ラインの表示開始時、および、表示アドレス下位 8ビットが「0」となった時に DT 信号を発生します。	
11	DT 信号出力動作モード。画面の表示開始時、および、表示アドレス下位 8ビットが「0」となった時のみに DT 信号を発生します。	

(25) DISPLAY_PITCH ;

表示メモリの水平方向のアドレス総数を定義します。

DISP.P	アドレス数
0 0 0 0 0 0 0 0 0 0 0 0 0 0	0
0 0 0 0 0 0 0 0 0 0 0 0 0 1	1
0 0 0 0 0 0 0 0 0 0 0 0 1 0	2
.....
1 1 1 1 1 1 1 1 1 1 1 0 1	4093
1 1 1 1 1 1 1 1 1 1 1 1 0	4094
1 1 1 1 1 1 1 1 1 1 1 1 1	4095

(26) AC ; ADDRESS CONTROL

DT モード時の DT 信号発生条件を判別するために使用される表示アドレス信号線の選択やリフレッシュ・アドレスの出力端子の選択をします。

AC	DT 信号発生用表示アドレス信号	リフレッシュ・アドレス出力
000	DAD7 ~ DAD0	DAD8 ~ DAD0
001	使用不可	使用不可
010	使用不可	使用不可
011	使用不可	使用不可
100	DAD8 ~ DAD1	DAD9 ~ DAD1
101	DAD9 ~ DAD2	DAD10 ~ DAD2
110	DAD10 ~ DAD3	DAD11 ~ DAD3
111	DAD11 ~ DAD4	DAD12 ~ DAD4

(27) DAD ; DISPLAY ADDRESS

表示メモリに供給する表示開始時の絶対番地を設定します。

(28) WC ; WORD COUNT

1走査期間内での表示期間における表示アドレス数を定義します。

WC	アドレス数
0 0 0 0 0 0 0 0	1
0 0 0 0 0 0 0 1	2
0 0 0 0 0 0 1 0	3
.....
1 1 1 1 1 1 0 1	254
1 1 1 1 1 1 1 0	255
1 1 1 1 1 1 1 1	256

(29) GCSRX (12) ; GRAPHICS CURSOR X COORDINATE

画面左上を座標原点 (0,0)としたスクリーン座標におけるグラフィックス・カーサ表示開始の X座標を設定します。水平方向へのグラフィックス・カーサ表示信号発生期間は 1表示サイクル期間に固定されています。

GCSRX	GCSR発生位置 / 1走査線
0 0 0 0 0 0 0 0 0 0 0 0	定義なし 第 1表示サイクル
0 0 0 0 0 0 0 0 0 0 0 1	
.....	第4094表示サイクル 第4095表示サイクル
1 1 1 1 1 1 1 1 1 1 1 0	
1 1 1 1 1 1 1 1 1 1 1 1	

(30) CRS ; CURSOR OUTFIGURE SELECT

水平方向一致信号と垂直方向一致信号とを論理的に OR するか ANDするかを選択するために設定するフラグです。

CRS	機 能
0	ANDした後、出力
1	OR した後、出力

(31) CE ; CURSOR DISPLAY ENABLE

グラフィックス・カーサ信号を活性化するかしないかを選択するために設定するフラグです。

CE	機 能
0	活性化しない
1	活性化する

(32) GCSRYS (12) ; GRAPHICS CURSOR Y COORDINATE START

画面左上を座標原点 (0,0)としたスクリーン座標におけるグラフィックス・カーサ表示開始の Y座標を設定します。

GCSRYS	GCSR発生位置/画面
0 0 0 0 0 0 0 0 0 0 0 0	定義なし 第 1表示ライン
0 0 0 0 0 0 0 0 0 0 0 1	
.....	
1 1 1 1 1 1 1 1 1 1 1 0	第4094表示ライン 第4095表示ライン
1 1 1 1 1 1 1 1 1 1 1 1	

(33) GCSRYS (12) ; GRAPHICS CURSOR Y COORDINATE END

画面左上を座標原点 (0,0)としたスクリーン座標におけるグラフィックス・カーサ表示終了の Y座標を設定します。

GCSRYS	GCSR終了位置/画面
0 0 0 0 0 0 0 0 0 0 0 0	定義なし 第 1表示ライン
0 0 0 0 0 0 0 0 0 0 0 1	
.....	
1 1 1 1 1 1 1 1 1 1 1 0	第4094表示ライン 第4095表示ライン
1 1 1 1 1 1 1 1 1 1 1 1	

設定値制約条件： 同期信号発生のみではなく表示制御も行うとき

HS, HBP, HH, HD, HFP \geq 2 表示サイクル

インタレース走査を行うとき (IN=1)

HBP \geq 3 表示サイクル

(35) VS (12), VBP (12), L/F (12), VFP (12) ;

VS (垂直同期信号)

VBP (垂直バックポーチ; CRT 管面上方の非表示期間)

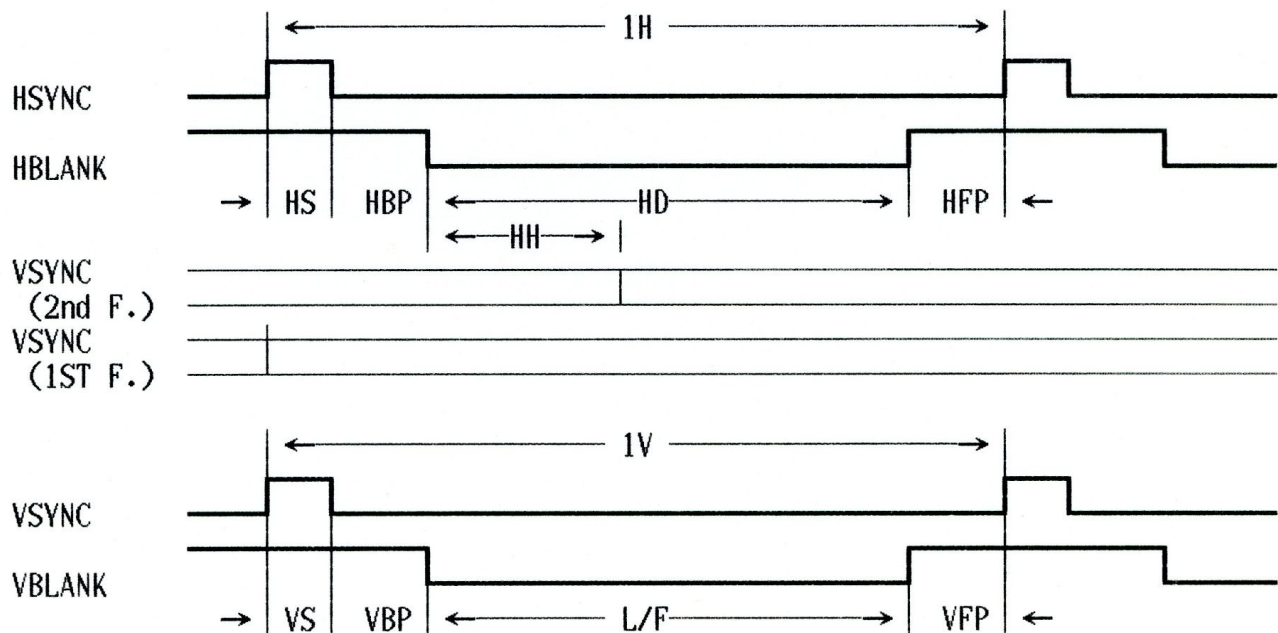
L/F (垂直方向の表示期間)

VFP (垂直フロントポーチ; CRT 管面下方の非表示期間)

を定義するために設定します。

VS, VBP, L/F, VFP	走査線数
0 0 0 0 0 0 0 0 0 0 0 0	4096
0 0 0 0 0 0 0 0 0 0 0 1	1
0 0 0 0 0 0 0 0 0 0 1 0	2
.....
1 1 1 1 1 1 1 1 1 1 0 1	4093
1 1 1 1 1 1 1 1 1 1 1 0	4094
1 1 1 1 1 1 1 1 1 1 1 1	4095

《同期信号発生形態》



【ドット描画】

(X, Y)

[A_DOT]

(X, Y)

[R_DOT]

$(X+DX, Y+DY)$

DX

DY

【直線描画】

[A_LINE]

(XE, YE)

(X, Y)

[R_LINE]

$(X+DX, Y+DY)$

(X, Y)

DX

DY

【拡大直線描画】

[A_E_LINE]

(XE, YE)

(X, Y)

MAGH \neq 0, MAGV \neq 0, ES = 1

[R_E_LINE]

$(X+DX, Y+DY)$

(X, Y)

DX

DY

【四辺形描画】

(XS, YS)

(X, Y)

[A_REC]

$(X+DX, Y+DY)$

(X, Y)

[R_REC]

DY

DX

【拡大四辺形描画】

(XS, YS)

(X, Y)

[A_E_REC]

$(X+DX, Y+DY)$

(X, Y)

[R_E_REC]

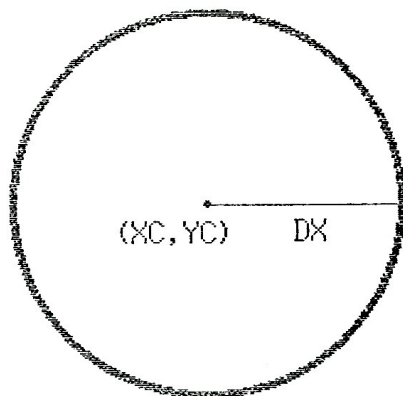
DY

DX

MAGH \neq 0, MAGV \neq 0, ES = 1

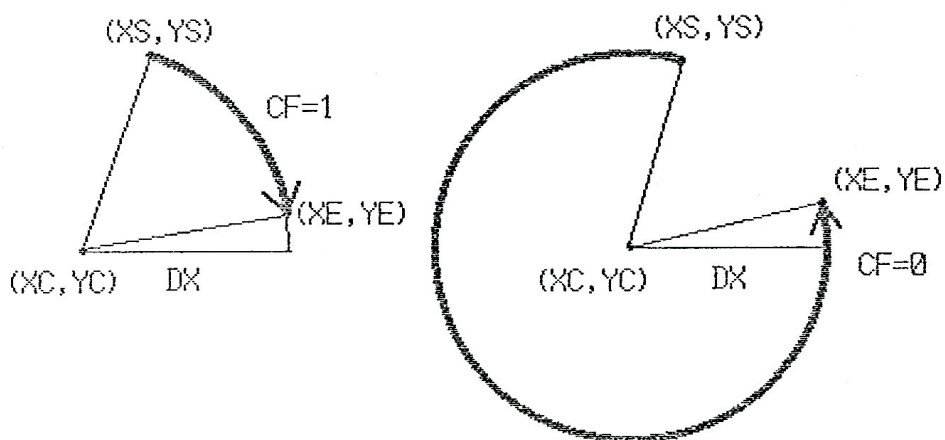
【円描画】

[GRL]



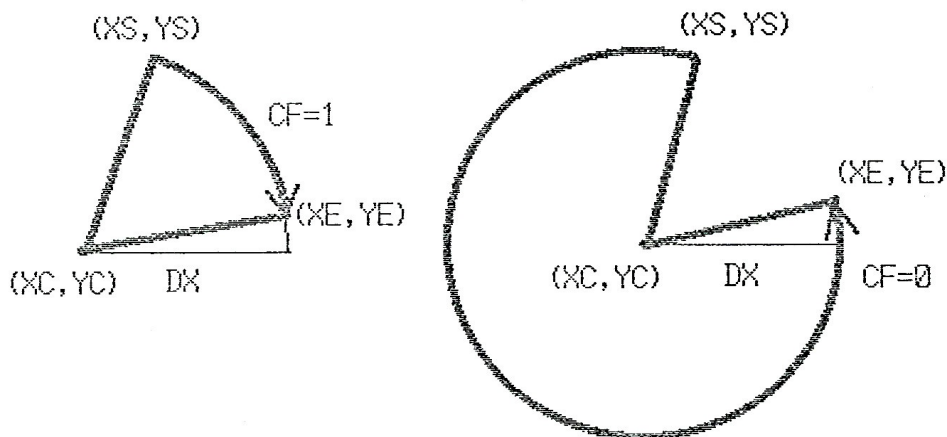
【円弧描画】

[GARC]



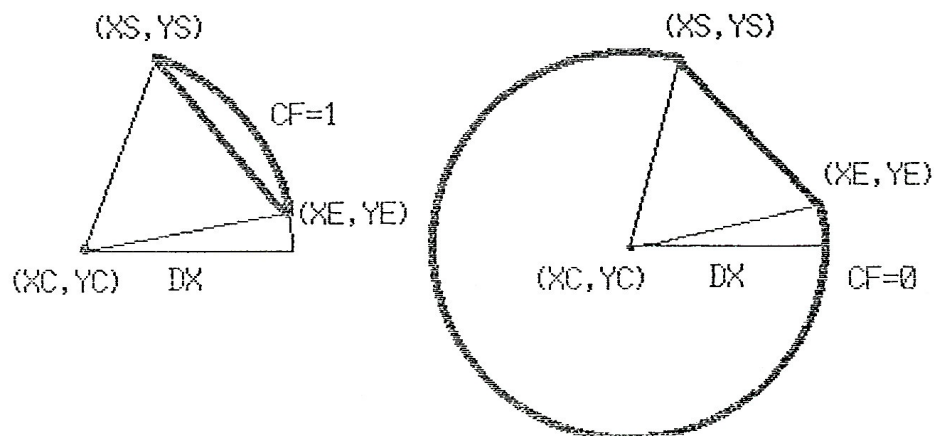
【円弧扇形描画】

[CSEC]



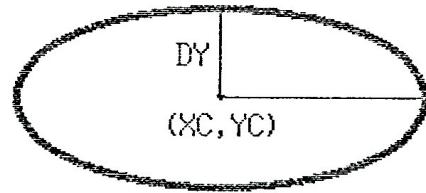
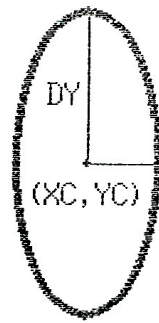
【円弧弦形描画】

[CSEG]



【橢圓描画】

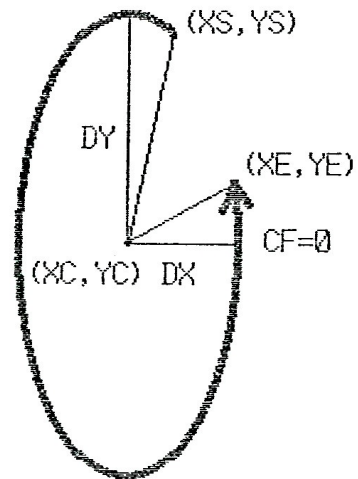
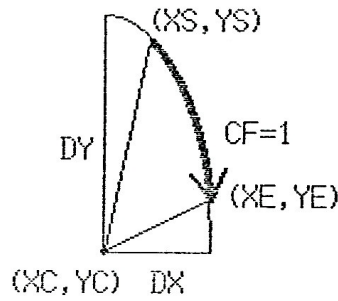
[ELPS]



$$DH:DU=DX^2:DY^2$$

【橢圓弧描画】

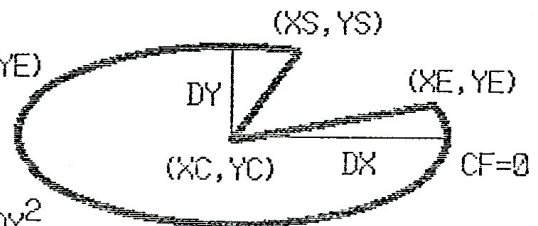
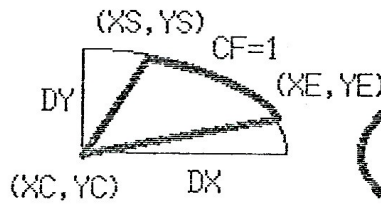
[EARC]



$$DH:DU=DX^2:DY^2$$

【橢圓弧扇形描画】

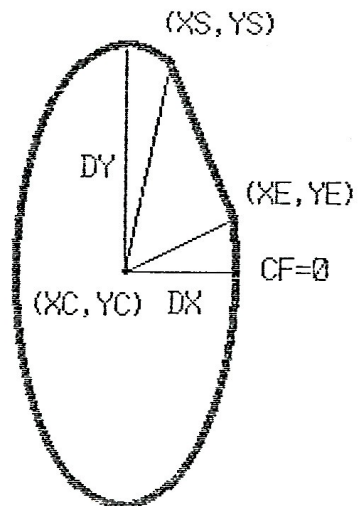
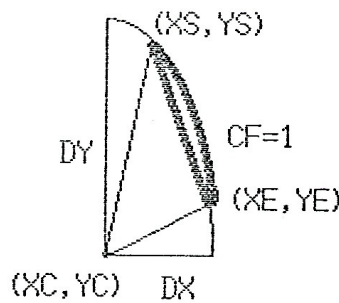
[ESEG]



$$DH:DU=DX^2:DY^2$$

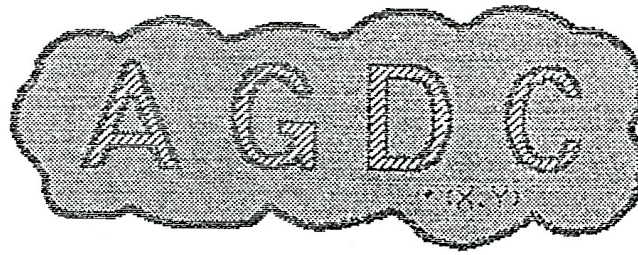
【橢圓弧弦形描画】

[ESEG]



$$DH:DU=DX^2:DY^2$$

【任意閉領域内
塗りつぶし】



DX=境界色

[PAINT]

【四辺形内
塗りつぶし】

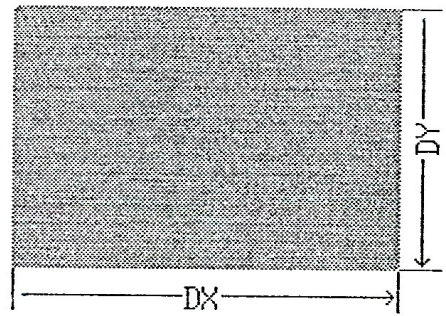
(X, Y)



(XS, YS)

[A_REC_FILL]

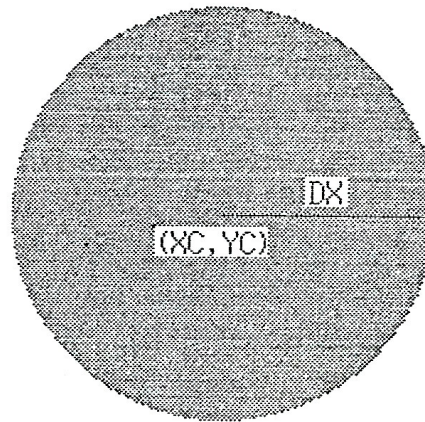
(X, Y)



[R_REC_FILL]

【円内塗りつぶし】

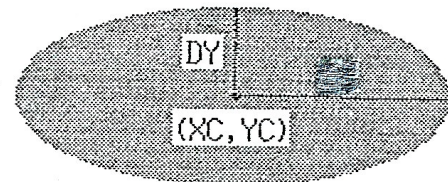
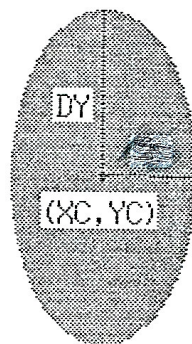
[CRL_FILL]



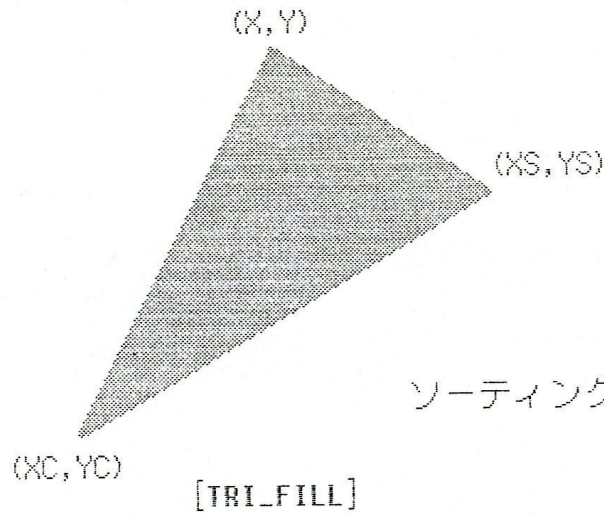
【楕円内塗りつぶし】

[ELPS_FILL]

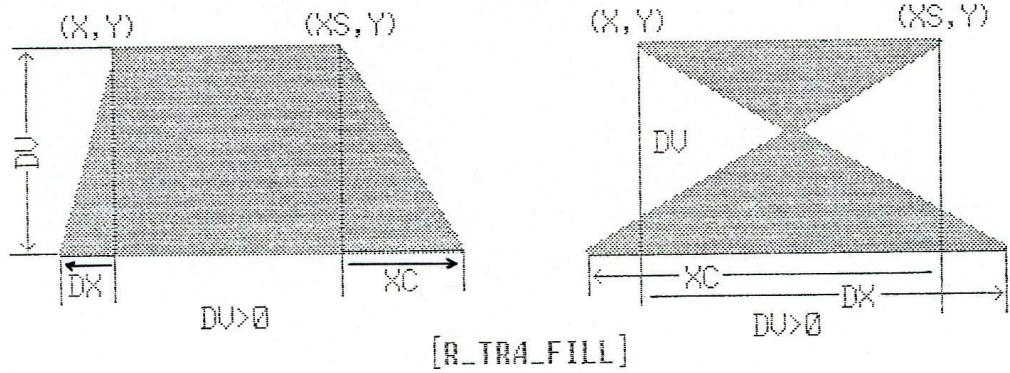
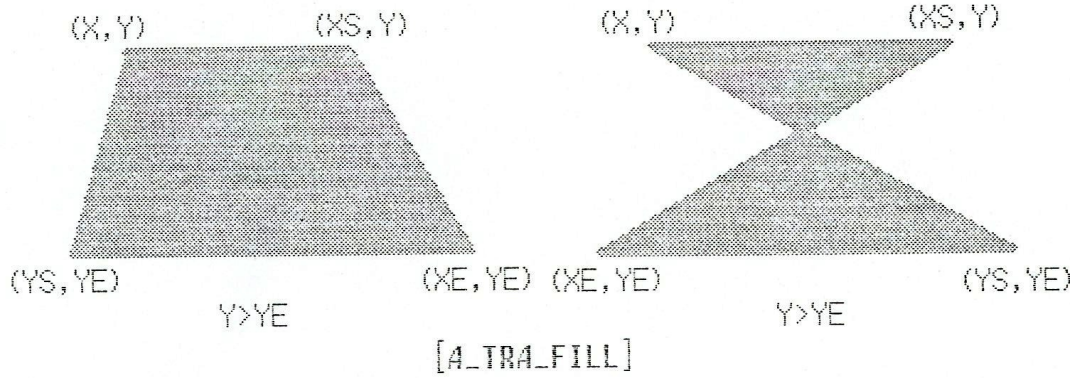
$$DH: DV = DX^2 : DY^2$$



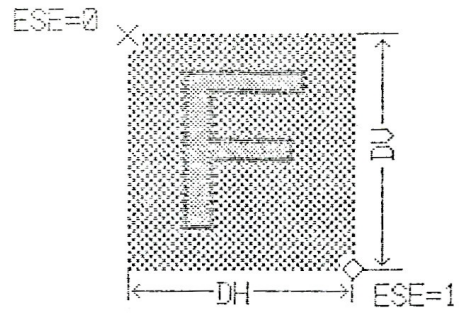
【三角形内塗りつぶし】



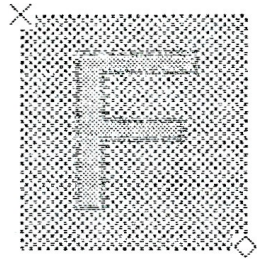
【台形内塗りつぶし】



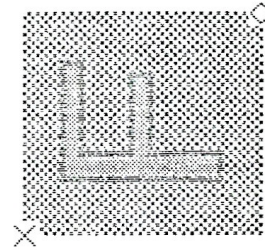
転送源データ



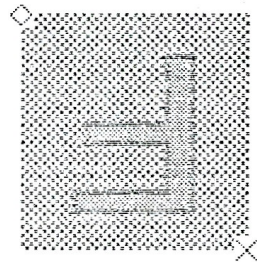
ESE=0, REV=0, ROT=0
ESE=1, =0, =1



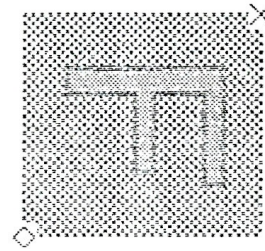
REV=0, ROT=0, ESE=0
=0, =1, ESE=1



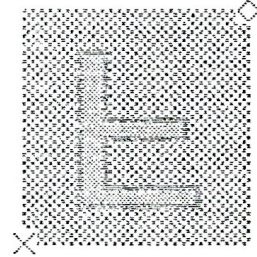
ESE=0, REV=0, ROT=1
ESE=1, =0, =0



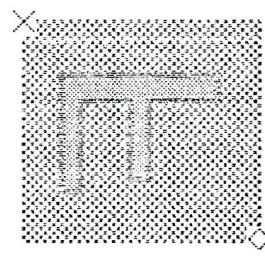
REV=0, ROT=1, ESE=0
=0, =0, ESE=1



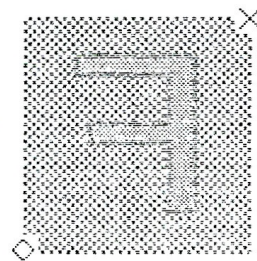
ESE=0, REV=1, ROT=~~0~~1
ESE=1, =1, =0



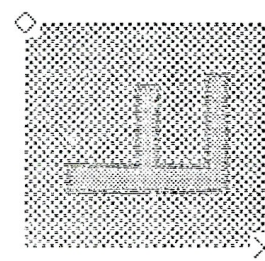
REV=1, ROT=~~0~~1, ESE=0
=1, =0, ESE=1



ESE=0, REV=1, ROT=~~0~~1
ESE=1, =1, =1



REV=1, ROT=~~0~~1, ESE=0
=1, =1, ESE=1



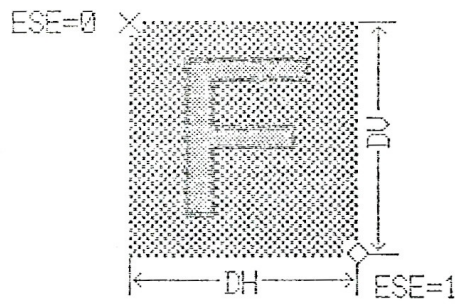
[COPY]

[90_COPY]

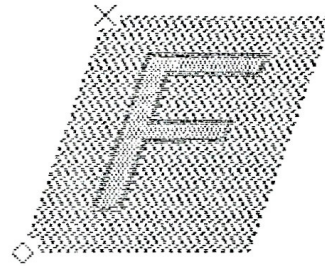
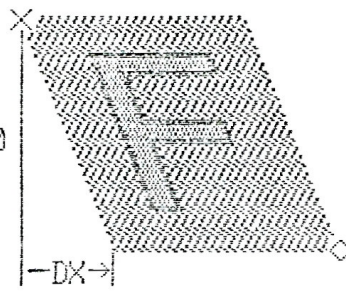
【通常コピー】

【90度回転コピー】

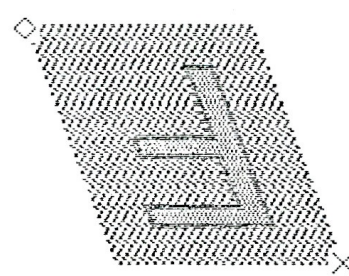
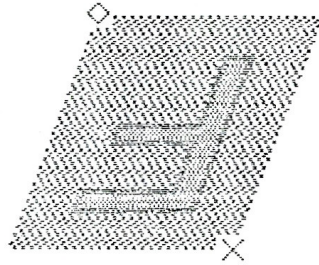
転送源データ



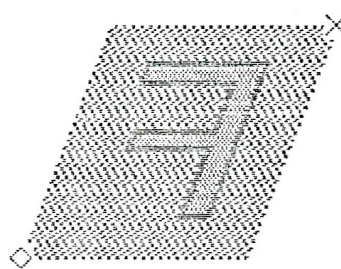
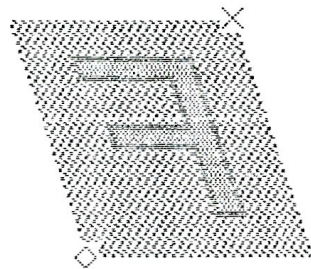
REU=0, ROT=0



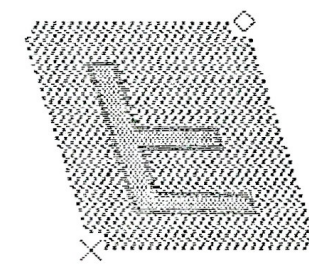
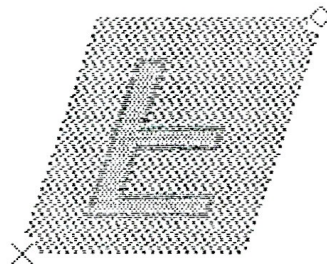
REU=0, ROT=1



REU=1, ROT=0



REU=1, ROT=1



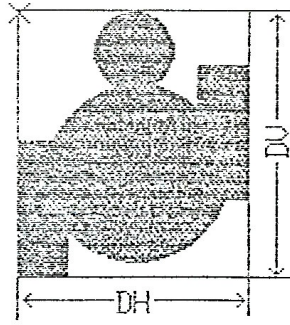
[SL_COPY]

【傾斜コピー】

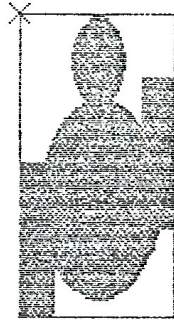
【任意倍率拡大／縮小コピー】

[ES_COPY]

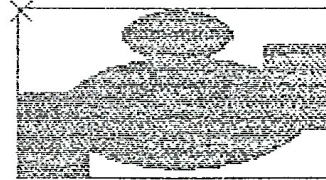
転送源データ



REV=0, ROT=0

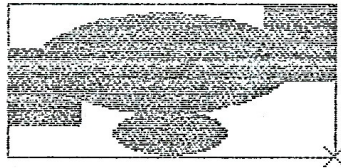


ESH=0, ESU=1

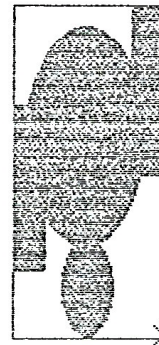


ESH=1, ESU=0

REV=0, ROT=1



ESH=1, ESU=0

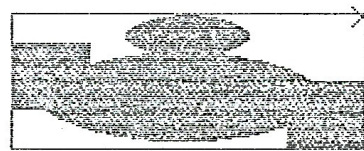


ESH=0, ESU=1

REV=1, ROT=0

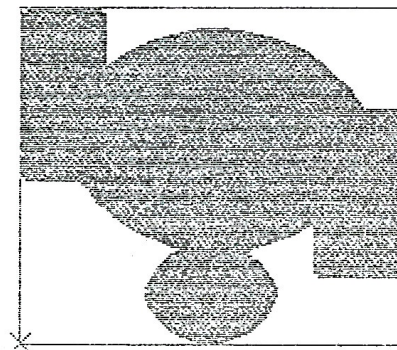


ESH=0, ESU=0



ESH=1, ESU=0

REV=1, ROT=1



ESH=1, ESU=1

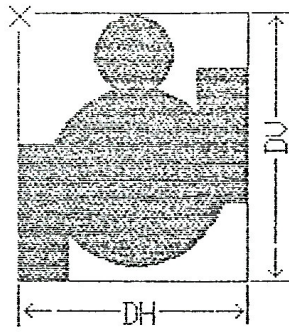


ESH=0, ESU=1

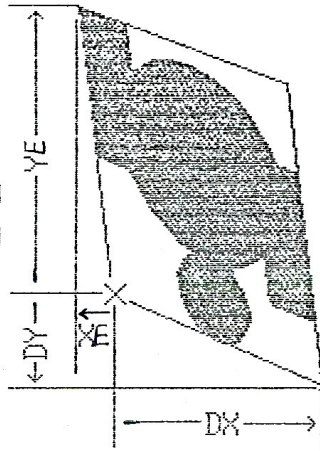
【任意角回転
任意倍率拡大/縮小コピー】

[FR_ES_COPY]

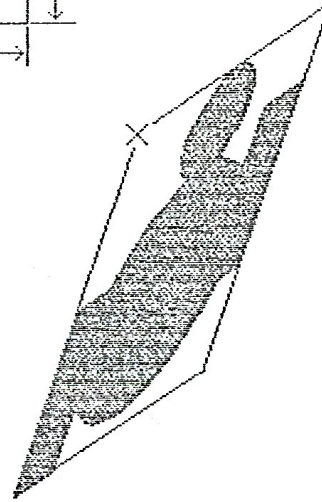
転送源データ



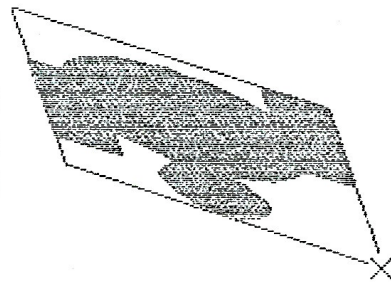
ESH=0, ESU=1
DX>0, DY<0
XE<0, YE>0



ESH=0, ESU=1
DX>0, DY>0
XE<0, YE<0



ESH=1, ESU=0
DX<0, DY>0
XE<0, YE>0



ESH=1, ESU=1
DX<0, DY<0
XE<0, YE<0



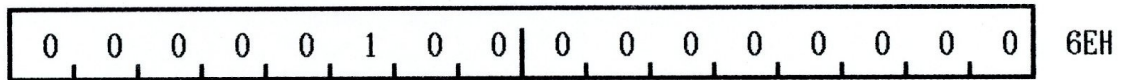
4. 描画実行コマンドの種類と機能

描画実行コマンドはアドレス 6EHに割り付けられているコマンド・フラグと 6FHのコマンド・コードの 2バイトで構成されています。コマンド・コードにより描画種類を選択し、コマンド・フラグによって種々なバリエーションを選択します。

4.1. 描画実行コマンド一覧

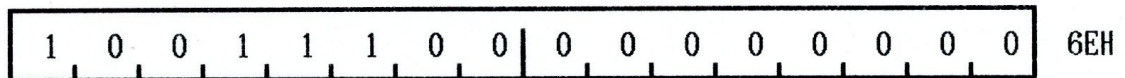
(1) READ_DP ; READ DRAWING POINTER

現時点において描画プロセッサが記憶している描画座標 (X#, Y#) をプリプロセッサのレジスタ (X, Y) に読み出します。



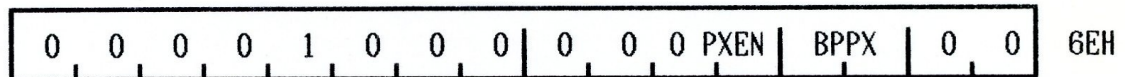
(2) READ_COL ; READ COLOR

(X, Y) で示す位置のカラー情報をプリプロセッサのレジスタ「DX」に読み出します。



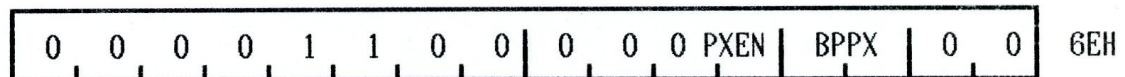
(3) DOT_D ; DOT DIRECT

現時点において描画プロセッサが記憶している描画座標 (X#, Y#) 上に 1ドットを描画します。新たに (X, Y) を設定し直す必要はありません。



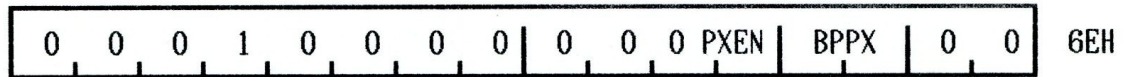
(4) A_DOT_M ; ABSOLUTE DOT WITH MOVE

(X, Y) によって示す座標に描画座標 (X#, Y#) を移動して 1ドットを描画します。



(5) R_DOT_M ; RELATIVE DOT WITH MOVE

(X, Y) に対する相対位置情報をレジスタ DX, DY に与え、(X+DX, Y+DY) によって示す座標に描画座標 (X#, Y#) を移動して 1ドットを描画します。



(6) A_LINE_M0 ; ABSOLUTE LINE WITH MOVE 0

(7) A_LINE_M1 ; ABSOLUTE LINE WITH MOVE 1

(8) A_LINE_M2 ; ABSOLUTE LINE WITH MOVE 2

(X, Y) を描画開始座標とし (XE, YE) で示す座標の間を直線描画します。描画座標 (X#, Y#) は (XE, YE) で示す座標位置に移動しますが描画は実行しません。

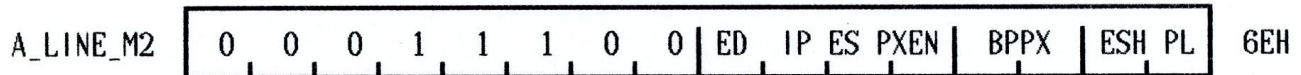
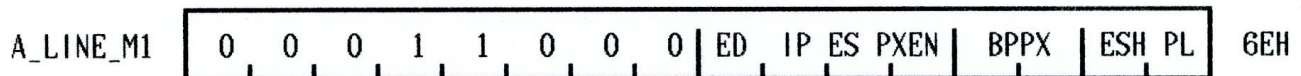
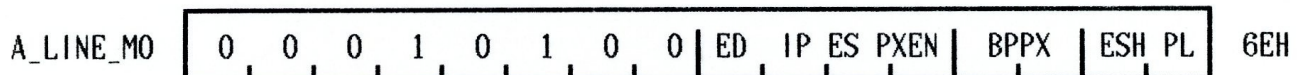
線種パターンの拡大/縮小倍率 (各々、16/N, N/16) を MAGH に、太さ倍率 (1~16) を MAGV に与えることにより線幅を拡大した直線を描画できます。

0, 1, 2 の違いは次の通りです。

0 ; プリプロセッサは同時に、 $X \leftarrow XE$, $Y \leftarrow YE$ を実行します。

1 ; プリプロセッサは設定値の変更を行いません。

2 ; プリプロセッサは同時に、 $XS \leftarrow X$, $YS \leftarrow Y$, $X \leftarrow XE$, $Y \leftarrow YE$ を実行します。



- (9) A_LINE_D0 ; ABSOLUTE LINE DIRECT 0
- (10) A_LINE_D1 ; ABSOLUTE LINE DIRECT 1
- (11) A_LINE_D2 ; ABSOLUTE LINE DIRECT 2
- (12) A_LINE_D3 ; ABSOLUTE LINE DIRECT 3

(X#, Y#) を描画開始座標とし (座標値 (X, Y) は新たに設定し直す必要はありません)、(XE, YE) で示す座標の間を直線描画します。描画座標 (X#, Y#) は (XE, YE) で示す座標位置に移動しますが描画は実行しません。

線種パターンの拡大/縮小倍率 (各々、16/N, N/16) を MAGH に、太さ倍率 (1~16) を MAGV に与えることにより線幅を拡大した直線を描画できます。

0, 1, 2, 3の違いは次の通りです。

0 ; プリプロセッサは同時に、 $X \leftarrow XE$, $Y \leftarrow YE$ を実行します。

1 ; プリプロセッサは設定値の変更を行いません。

2 ; プリプロセッサは同時に、 $XS \leftarrow X$, $YS \leftarrow Y$, $X \leftarrow XE$, $Y \leftarrow YE$ を実行します。

3 ; プリプロセッサはあらかじめ $XE \leftarrow XS$, $YE \leftarrow YS$ を実行します。従って、座標値 (XE, YE) についても新たに設定し直す必要はありません。

A_LINE_D0	0	0	1	0	0	0	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH
A_LINE_D1	0	0	1	0	0	1	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH
A_LINE_D2	0	0	1	0	1	0	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH
A_LINE_D3	0	0	1	0	1	1	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH

(13) R_LINE_M0 ; RELATIVE LINE WITH MOVE 0

(14) R_LINE_M1 ; RELATIVE LINE WITH MOVE 1

(15) R_LINE_M2 ; RELATIVE LINE WITH MOVE 2

(X, Y) を描画開始座標とし相対座標値 DX, DY によって示す (X+DX, Y+DY) の座標の間を直線描画します。描画座標 (X#, Y#) は (X+DX, Y+DY) で示す座標位置に移動しますが描画は実行しません。

線種パターンの拡大/縮小倍率 (各々、16/N, N/16) を MAGH に、太さ倍率 (1~16) を MAGV に与えることにより線幅を拡大した直線を描画できます。

0, 1, 2 の違いは次の通りです。

0 ; プリプロセッサは同時に、 $X \leftarrow X+DX$, $Y \leftarrow Y+DY$ を実行します。

1 ; プリプロセッサは設定値の変更を行いません。

2 ; プリプロセッサは同時に、 $XS \leftarrow X$, $YS \leftarrow Y$, $X \leftarrow X+DX$, $Y \leftarrow Y+DY$ を実行します

。

R_LINE_M0	0	0	1	1	0	0	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH
R_LINE_M1	0	0	1	1	0	1	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH
R_LINE_M2	0	0	1	1	1	0	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH

(16) R_LINE_D0 ; RELATIVE LINE DIRECT 0

(17) R_LINE_D1 ; RELATIVE LINE DIRECT 1

(18) R_LINE_D2 ; RELATIVE LINE DIRECT 2

(X#, Y#) を描画開始座標とし (座標値 (X, Y) は新たに設定し直す必要はありません)、相対座標値 DX, DY によって示す (X+DX, Y+DY) の座標の間を直線描画します。描画座標 (X#, Y#) は (X+DX, Y+DY) で示す座標位置に移動しますが描画は実行しません。

線種パターンの拡大/縮小倍率 (各々、16/N, N/16) を MAGH に、太さ倍率 (1~16) を MAGV に与えることにより線幅を拡大した直線を描画できます。

0, 1, 2 の違いは次の通りです。

0 ; プリプロセッサは同時に、 $X \leftarrow X+DX$, $Y \leftarrow Y+DY$ を実行します。

1 ; プリプロセッサは設定値の変更を行いません。

2 ; プリプロセッサは同時に、 $XS \leftarrow X$, $YS \leftarrow Y$, $X \leftarrow X+DY$, $Y \leftarrow Y+DY$ を実行します

。

R_LINE_D0	0	0	1	1	1	1	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH
R_LINE_D1	0	1	0	0	0	0	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH
R_LINE_D2	0	1	0	0	0	1	0	0	ED	IP	ES	PXEN	BPPX	ESH	PL	6EH

(19) A_REC ; ABSOLUTE RECTANGLE

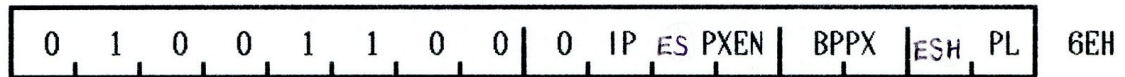
描画開始座標として (X, Y)、四辺形の対角座標として (XS, YS) を与えることにより四辺形を描画します。

0	1	0	0	1	0	0	0	0	IP	ES	PXEN	BPPX	ESH	PL	6EH
---	---	---	---	---	---	---	---	---	----	----	------	------	-----	----	-----

線種パターンの拡大/縮小倍率 (各々、16/N, N/16) を MAGH に、太さ倍率 (1~16) を MAGV に与えることにより、線幅を拡大した四辺形を描画できます。線幅は、四辺形の内側方向に拡大されます。

(20) R_REC ; RELATIVE RECTANGLE

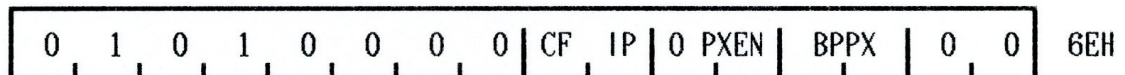
描画開始座標として (X, Y)、相対位置 DX, DY によって示される四辺形の対角座標 (X+DX, Y+DY) により四辺形を描画します。



線の拡大に関しては、A_REC と同様です。

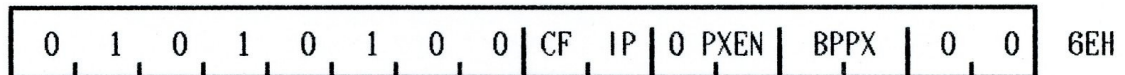
(21) CRL ; CIRCLE

中心座標 (XC, YC)、半径 DX を与えることにより円を描画します。



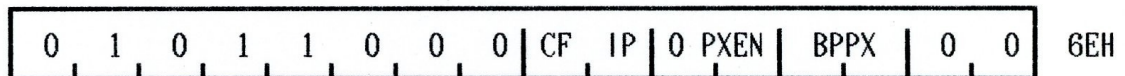
(22) ARC ; CIRCLE ARC

中心座標 (XC, YC)、半径 DX、円弧を形成する開始座標 (XS, YS)、円弧を形成する終了座標 (XE, YE) を与えることにより円弧を描画します。



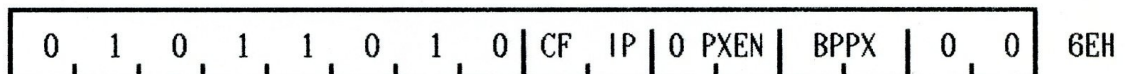
(23) CSEC ; CIRCLE SECTOR

中心座標 (XC, YC)、半径 DX、円弧を形成する開始座標 (XS, YS)、円弧を形成する終了座標 (XE, YE) を与えることにより円弧を描画し、さらに、円弧の終了座標と中心座標、および、中心座標と円弧の開始座標との間で直線を描画することにより円弧扇形を描画します。



(24) CSEG ; CIRCLE SEGMENT

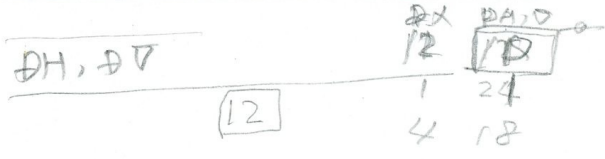
中心座標 (XC, YC)、半径 DX、円弧を形成する開始座標 (XS, YS)、円弧を形成する終了座標 (XE, YE) を与えることにより円弧を描画し、さらに、円弧の開始座標と終了座標との間で直線を描画することにより円弧弦形を描画します。



(25) ELPS ; ELLIPSE

中心座標 (XC, YC)、Y方向半径 DY、X方向半径の二乗比 DH、Y方向半径の二乗比 DV を与えることにより楕円を描画します。

```
0 1 0 1 1 1 0 0 | CF IP | 0 PXEN | BPPX | 0 0 6EH
```



(26) EARC ; ELLIPICAL ARC

中心座標 (XC, YC)、X方向半径 DX、Y方向半径 DY、X方向半径の二乗比 DH、Y方向半径の二乗比 DV、楕円弧を形成する開始座標 (XS, YS)、楕円弧を形成する終了座標 (XE, YE) を与えることにより楕円弧を描画します。

```
0 1 1 0 0 0 0 0 | CF IP | 0 PXEN | BPPX | 0 0 6EH
```

(27) ESEC ; ELLIPICAL SECTOR

中心座標 (XC, YC)、X方向半径 DX、Y方向半径 DY、X方向半径の二乗比 DH、Y方向半径の二乗比 DV、楕円弧を形成する開始座標 (XS, YS)、楕円弧を形成する終了座標 (XE, YE) を与えることにより楕円弧を描画し、さらに、楕円弧の終了座標と中心座標、および、中心座標と楕円弧の開始座標との間で直線を描画することにより楕円弧扇形を描画します。

```
0 1 1 0 0 1 0 0 | CF IP | 0 PXEN | BPPX | 0 0 6EH
```

(28) ESEG ; ELLIPICAL SEGMENT

中心座標 (XC, YC)、X方向半径 DX、Y方向半径 DY、X方向半径の二乗比 DH、Y方向半径の二乗比 DV、楕円弧を形成する開始座標 (XS, YS)、楕円弧を形成する終了座標 (XE, YE) を与えることにより楕円弧を描画し、さらに、楕円弧の開始座標と終了座標との間で直線を描画することにより楕円弧弦形を描画します。

```
0 1 1 0 0 1 0 1 | CF IP | 0 PXEN | BPPX | 0 0 6EH
```


(29) PAINT ; ARBITRARY PAINT WITHIN ENCLOSED PATTERN

境界点検索開始座標 (X, Y) 、および、境界色を指定する情報を DX に与える (検索開始座標における色以外を境界色とする塗りつぶしの場合には不要) ことにより境界点と境界点との間の閉領域内を塗りつぶします。

0	1	1	0	1	0	0	0	TL	0	1	SS	0	PMOD	0	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	---	------	---	---	-----

(30) A_REC_FILL_A ; ABSOLUTE RECTANGLE FILLING SPECIFIED BY ADDRESS

描画開始ワード番地 EAD¹、ドット番地 dAD¹、塗りつぶす矩形領域の大きさを定義するために水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより四辺形内を塗りつぶします。

1	0	0	0	1	1	1	0	TL	0	1	SS	WL	WR	FAST	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	----	----	------	---	-----

(31) A_REC_FILL_C ; ABSOLUTE RECTANGLE FILLING SPECIFIED BY COORDINATE

描画開始となる画面左上座標 (X, Y) および画面右下の対角座標 (XS,YS)を与えることによって定義される四辺形内を塗りつぶします。

1	0	0	0	1	1	0	0	TL	0	1	SS	WL	WR	FAST	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	----	----	------	---	-----

(32) R_REC_FILL ; RELATIVE RECTANGLE FILLING

描画開始となる座標 (X, Y) および相対位置情報を DX, DY に与え、(X, Y) と対角座標 (X+DX, Y+DY) とによって定義される四辺形内を塗りつぶします。

1	0	0	1	0	0	0	0	TL	0	1	SS	WL	WR	FAST	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	----	----	------	---	-----

(33) CRL_FILL ; CIRCLE FILLING

中心座標 (XC, YC) および半径 DX を与えることにより円内を塗りつぶします。

0	1	0	1	0	0	0	0	TL	0	1	SS	1	1	0	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	---	---	---	---	-----

(34) ELPS_FILL ; ELLIPSE FILLING

中心座標 (XC, YC)、Y方向半径 DY、X方向半径の二乗比 DH、Y方向半径の二乗比 DV を与えることにより楕円内を塗りつぶします。

0	1	0	1	1	1	0	0	TL	0	1	SS	1	1	0	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	---	---	---	---	-----

(35) A_TRI_FILL ; ABSOLUTE TRIANGLE FILLING

3点の座標 (X, Y), (XS, YS), (XC, YC) を与えることにより定義される三角形内を塗りつぶします。

0	1	1	0	1	1	0	0	TL	0	1	SS	WL	WR	0	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	----	----	---	---	-----

(36) A_TRA_FILL ; ABSOLUTE TRAPEZOID FILLING

4点の座標 (X, Y), (XS, Y), (YS, YE), (XE, YE)を示す 6種類のパラメータを与えることにより定義される台形内を塗りつぶします。

0	1	1	1	0	0	0	0	TL	0	1	SS	WL	WR	0	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	----	----	---	---	-----

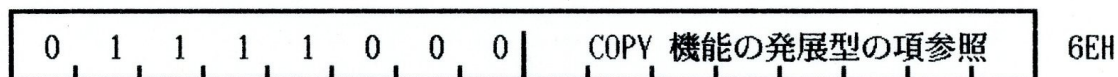
(37) R_TRA_FILL ; RELATIVE TRAPEZOID FILLING

台形を形成する画面左上の座標 (X, Y)、画面右上の座標 (XS, Y)、上辺と下辺との相対位置変位 DY、第3点の Xからの相対位置変位 DX および第4点の XSからの相対位置変位 XC を与えることにより形成される台形内を塗りつぶします。

0	1	1	1	0	1	0	0	TL	0	1	SS	WL	WR	0	0	6EH
---	---	---	---	---	---	---	---	----	---	---	----	----	----	---	---	-----

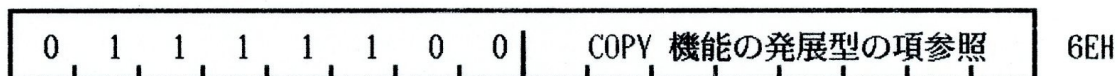
(38) A_COPY_AA ; ABSOLUTE COPY ADDRESS TO ADDRESS

転送源の転送開始ワード番地 EAD2、ドット番地 dAD2、転送先の転送開始ワード番地 EAD1、ドット番地 dAD1、転送する矩形領域の大きさを定義するために水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより転送源の 1 または 2次元領域のデータを転送先の 1 または 2次元領域へ転送します。



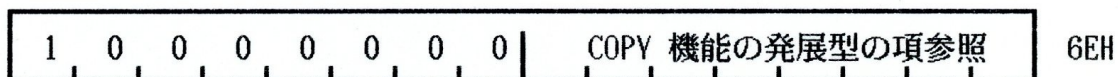
(39) A_COPY_CA ; ABSOLUTE COPY COORDINATE TO ADDRESS

転送源の転送開始座標 (XS, YS)、転送先の転送開始ワード番地 EAD1、ドット番地 dAD1、転送する矩形領域の大きさを定義するために水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより転送源矩形領域のデータを転送先の 1 または 2次元領域へ転送します。



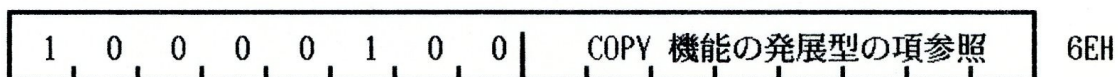
(40) A_COPY_AC ; ABSOLUTE COPY ADDRESS TO COORDINATE

転送源の転送開始ワード番地 EAD2、ドット番地 dAD2、転送先の転送開始座標 (X, Y)、転送する矩形領域の大きさを定義するために水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより転送源の 1 または 2次元領域のデータを転送先の矩形領域へ転送します。



(41) A_COPY_CC ; ABSOLUTE COPY COORDINATE TO COORDINATE

転送源の転送開始座標 (XS, YS)、転送先の転送開始座標 (X, Y)、転送する矩形領域の大きさを定義するために水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより転送源矩形領域のデータを転送先の矩形領域へ転送します。



(42) R_COPY_CC ; RELATIVE COPY COORDINATE TO COORDINATE

転送源の転送開始座標 (XS, YS)、相対位置情報 XC, YC によって示される転送先の転送開始座標 (XS+XC, YS+YC)、転送する矩形領域の大きさを定義するために水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより転送源矩形領域のデータを転送先の矩形領域へ転送します。

1	0	0	0	1	0	0	0	COPY 機能の発展型の項参照	6EH
---	---	---	---	---	---	---	---	-----------------	-----

COPY 機能の発展型

(A) COPY ; ORDINARY COPY

通常 of データ転送コピー。

(38) ~ (42) のコードを適用	ESE	REV	ROT	0	SD_SEL	FAST	0	6EH
---------------------	-----	-----	-----	---	--------	------	---	-----

(B) SL_COPY ; SLANT COPY

転送先の転送開始座標からの X方向への相対位置ズレ情報 DX を与えることによって垂直軸との傾きを定義した傾斜矩形領域に対して転送源の 1または 2次元領域のデータを転送します。

(38) ~ (42) のコードを適用	ESE	REV	ROT	0	SD_SEL	0	1	6EH
---------------------	-----	-----	-----	---	--------	---	---	-----

(C) 90_COPY ; 90 DEGREES ROTATION COPY

90 度回転をしたデータを転送します。

(38) ~ (42) のコードを適用	ESE	REV	ROT	1	SD_SEL	0	0	6EH
---------------------	-----	-----	-----	---	--------	---	---	-----

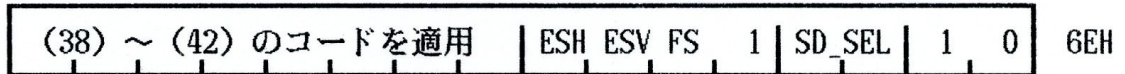
(D) ES_COPY ; ENLARGE AND SHRINK COPY

水平方向倍率 MAGH、垂直方向倍率 MAGV を与えることによって任意な倍率で拡大または縮小したデータを転送します。



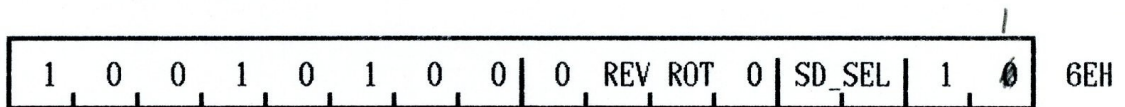
(E) FR_ES_COPY ; FREE ANGLE ENLARGE AND SHRINK COPY

水平方向の傾きを示す相対位置情報 DX, DY、垂直方向の傾きを示す相対位置情報 XE, YE を与えることによって、水平および垂直の辺の傾きを定義し転送源矩形領域のデータを転送します。さらに、水平方向倍率 MAGH、垂直方向倍率 MAGV を与えることによって任意な倍率で拡大または縮小したデータを転送できます。



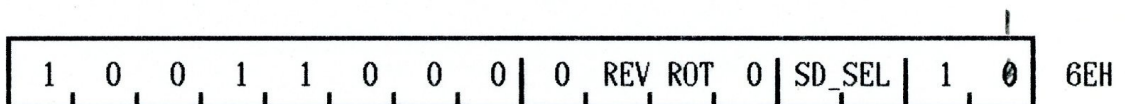
(43) PUT_A ; PUT DATA TO ADDRESSED FIELD

転送先絶対ワード番地 EAD1、ドット番地 dAD1、転送先の 1 または 2次元領域の水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより、システムバス上のデータを転送します。



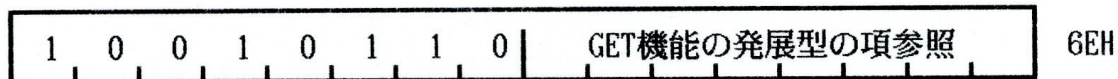
(44) PUT_C ; PUT DATA TO COORDINATED FIELD

転送先座標 (X, Y)、転送先矩形領域の水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより、システムバス上のデータを転送します。



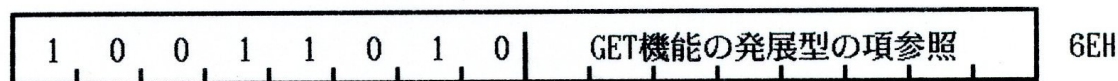
(45) GET_A ; GET DATA FROM ADDRESSED FIELD

転送源絶対ワード番地 EAD1、ドット番地 dAD1、転送源の1または2次元領域の水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより、システムバス上にデータを転送します。



(46) GET_C ; GET DATA FROM COORDINATED FIELD

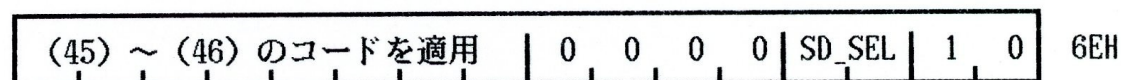
転送源座標 (X, Y)、転送源矩形領域の水平方向ドット数 DH、垂直方向ドット数 DV を与えることにより、システムバス上にデータを転送します。



GET機能の発展型

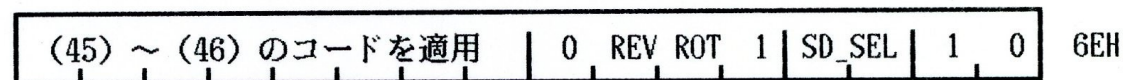
(A) GET ; GET

通常システムバスと表示メモリ間のデータ転送です。



(B) 90_GET ; 90 DEGREES ROTATION GET

転送データの90度回転を伴ったデータ転送です。



4.2. フラグ・ビットの使用法

(1) PXEN ; PIXEL DRAWING ENABLE

(2) BPPX ; BITS PER PIXEL

AGDC が制御する表示メモリは 1ワード 16 ビットに 16 ピクセルを割り当て 1 ピクセル当たりのビット数は表示メモリ・プレーンを増設していくことにより容易に拡張できるプレーン構成を主として考慮していますが、1ワード内に 1ピクセルのすべてを割り当てるピクセル構成とした場合であっても次のような図形描画を実行することができます。

直線、四辺形、円、円弧、円弧扇形、円弧弦形、楕円、楕円弧、楕円弧扇形、楕円弧弦形

PXEN によってプレーン構成かピクセル構成かを選択し、BPPX によって 1ピクセル中のビット数の大きさを定義します。

BPPX	PXEN	Nビット/ピクセル
X X	0	1
0 0	1	2
0 1	1	4
1 0	1	8
1 1	1	16

(3) ES ; ENLARGE/SHRINK

(4) ESH ; ENLARGE/SHRINK HORIZONTAL

(5) ESV ; ENLARGE/SHRINK VERTICAL

任意倍率拡大縮小機能を有効とするかどうかを ES によって選択し、水平方向に拡大するか縮小するかを ESH、垂直方向に拡大するか縮小するかは ESVによって選択します。水平方向の倍率はレジスタ MAGH、垂直方向の倍率はレジスタ MAGV にあらかじめ設定しておきます。

ES	ESH	ESV	機 能
0	X	X	拡大縮小無し
1	0	X	水平方向縮小
1	1	X	水平方向拡大
1	X	0	垂直方向縮小
1	X	1	垂直方向拡大

ESH=0																
MAGH	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
倍率	$\frac{1}{16}$	$\frac{2}{16}$	$\frac{3}{16}$	$\frac{4}{16}$	$\frac{5}{16}$	$\frac{6}{16}$	$\frac{7}{16}$	$\frac{8}{16}$	$\frac{9}{16}$	$\frac{10}{16}$	$\frac{11}{16}$	$\frac{12}{16}$	$\frac{13}{16}$	$\frac{14}{16}$	$\frac{15}{16}$	$\frac{16}{16}$

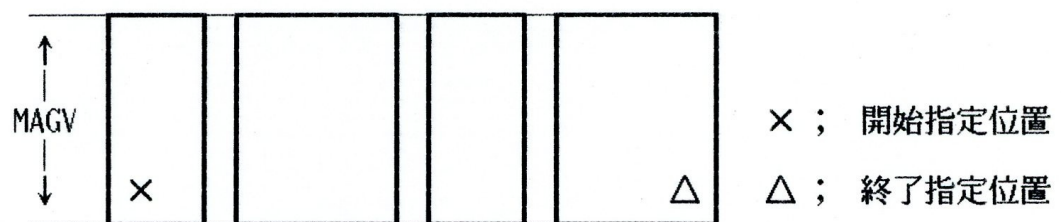
ESH=1																
MAGH	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
倍率	$\frac{16}{16}$	$\frac{16}{15}$	$\frac{16}{14}$	$\frac{16}{13}$	$\frac{16}{12}$	$\frac{16}{11}$	$\frac{16}{10}$	$\frac{16}{9}$	$\frac{16}{8}$	$\frac{16}{7}$	$\frac{16}{6}$	$\frac{16}{5}$	$\frac{16}{4}$	$\frac{16}{3}$	$\frac{16}{2}$	$\frac{16}{1}$

ESV=0																
MAGV	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
倍率	$\frac{1}{16}$	$\frac{2}{16}$	$\frac{3}{16}$	$\frac{4}{16}$	$\frac{5}{16}$	$\frac{6}{16}$	$\frac{7}{16}$	$\frac{8}{16}$	$\frac{9}{16}$	$\frac{10}{16}$	$\frac{11}{16}$	$\frac{12}{16}$	$\frac{13}{16}$	$\frac{14}{16}$	$\frac{15}{16}$	$\frac{16}{16}$

ESV=1																
MAGV	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
倍率	$\frac{16}{16}$	$\frac{16}{15}$	$\frac{16}{14}$	$\frac{16}{13}$	$\frac{16}{12}$	$\frac{16}{11}$	$\frac{16}{10}$	$\frac{16}{9}$	$\frac{16}{8}$	$\frac{16}{7}$	$\frac{16}{6}$	$\frac{16}{5}$	$\frac{16}{4}$	$\frac{16}{3}$	$\frac{16}{2}$	$\frac{16}{1}$

等倍近辺は細かい倍率で刻むことにより実用性を増しています。

※直線拡大描画では、MAGH により線種パターンの $16/N$, $N/16$ による拡大/縮小倍率を、MAGV により線幅の整数倍拡大倍率を定義します。



MAGH=12/16



原型線種パターン

(6) ED ; ENLARGEMENT DIRECTION

直線拡大描画において線幅をどの方向に太らせるかを指定します。

ED	描画開始点を原点とした次のオクタントに含まれる直線			
	第 1,8オクタント	第 4,5オクタント	第 2,3オクタント	第 6,7オクタント
0	-Y方向	+Y方向	+X方向	-X方向
1	+Y方向	-Y方向	-X方向	+X方向

(7) IP ; INITIALIZE PATTERN POINTER

破線や一点鎖線などの線種を記憶しているレジスタのどのビットを描画するかを指し示すポインタを初期化するかしないかを選択するためのビットです。折れ線グラフなどを描画する場合、このポインタを初期化しなければ端点を経由しても一点鎖線などの線形状は保たれたまま描画できます。

IP	機 能
0	パターン・ポインタを初期化しない
1	パターン・ポインタを初期化する

(8) CF ; CLOCKWISE FLAG

円、楕円などを描画するときの描画方向を選択するビットです。

CF	
0	反時計回り
1	時計回り

(9) TL ; TILING PATTERN

(10) SS ; SINGLE SOURCE PATTERN

塗りつぶし描画時のパターン選択をおこなうためのビットです。

次に示す 3通りの選択が可能です。

TL	SS	
0	0	使用不可
0	1	「PTNCNT」レジスタに設定した同一のパターンを全プレーンに対して参照します。
1	0	表示メモリに記憶しているパターンをプレーンごとに新たに読み出し、参照します。
1	1	表示メモリに記憶している同一のパターンを全プレーンに対して参照します。

すべてのプレーンを「0」にクリアする場合には、TL=0, SS=1 とすると塗りつぶしパターンの読み出しを頻繁に行う必要が無いので、クリアを高速化できます。また、1ビットごとに異なる色で塗りつぶしを行いたい場合には、TL=1, SS=0 を選択します。


(11) PMOD ; PAINT MODE

次に示す 2種の任意閉領域内塗りつぶしのうち、どちらか一方を選択するためのビットです。

PMOD	
0	あらかじめ与える 1種の境界色を基に境界点を検索し、境界点と境界点との間を塗りつぶします
1	境界点検索の開始点の色情報を読み出し、その色以外の色をすべて境界色として境界点を検索し、境界点と境界点との間を塗りつぶします

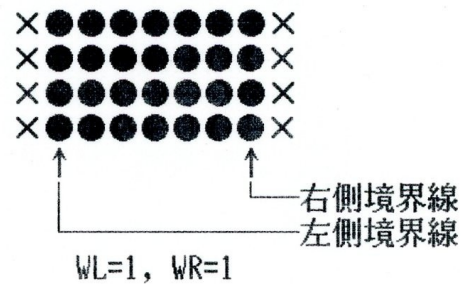
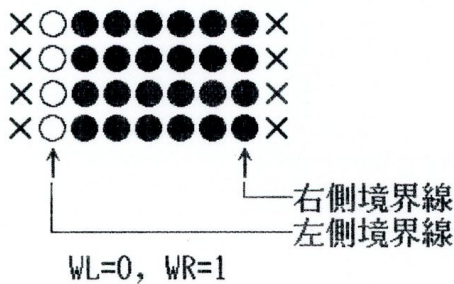
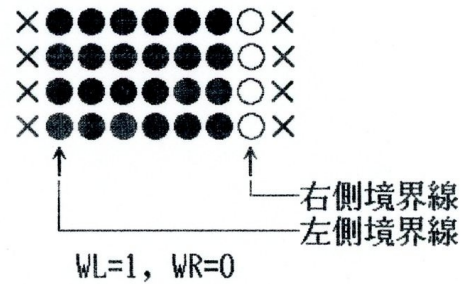
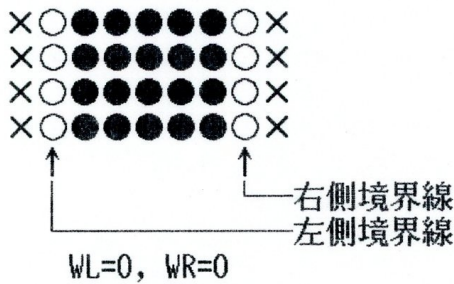
(12) WL ; WRITE LEFT

(13) WR ; WRITE RIGHT

四辺形内、 三角形内、台形内フィルにおいて、境界線上の点も描画するかどうかを指定します。

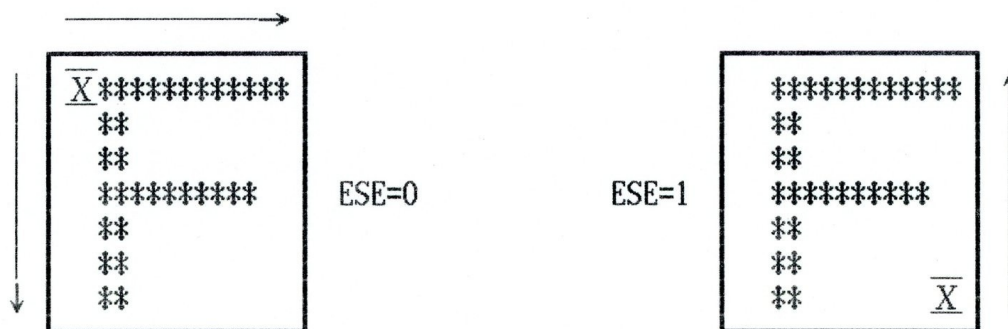
WL	
0	左側境界線上の点は描画しません
1	左側境界線上の点も描画します

WR	
0	右側境界線上の点は描画しません
1	右側境界線上の点も描画します



(14) ESE ; EXCHANGE STRAT WITH END

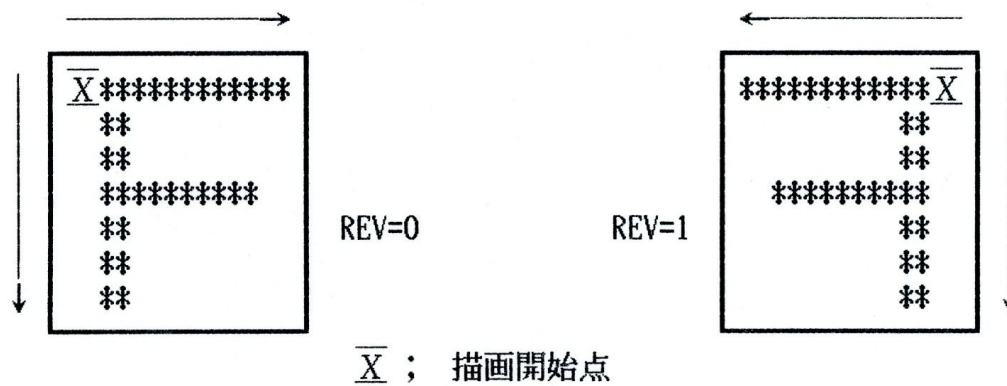
コピーを行う際の転送源データの読み出し順序を定義します。



X ; 読み出し開始点

(15) REV ; REVERSE

コピーを行う際の裏返し描画の有無を定義します。



(16) ROT ; ROTATION

コピーを行う際の 180度回転描画の有無を定義します。



(17) SD_SEL ; SOURCE DESTINATION MODE SELECT

次に示すようにプレーン間データ転送モードを選択するためのビットです。

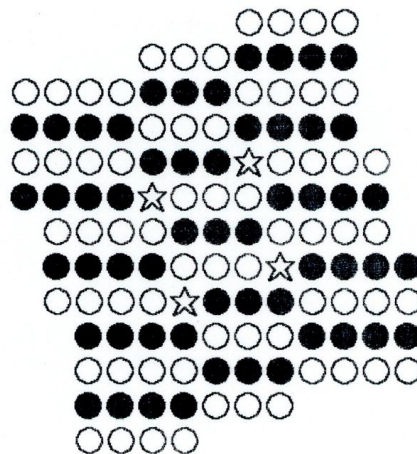
(《プレーン間データ転送》を参照してください)。

SD_SEL	機 能
00	MULTIPLE SOURCES 1
01	MULTIPLE SOURCES 2
10	MULTIPLE DESTINATIONS
11	MULTIPLE SOURCES AND DESTINATIONS

(18) FS ; FILL SHORTAGE

任意な角度を持つ領域に対するコピー時、座標変換処理だけを行うと描画を実行しない点が生じます（虫食い状態）。この点を描画対象とするかしないかを選択するビットです。

FS	機 能
0	虫食い状態のまま
1	虫食い状態除去



☆ ; 虫食い状態発生点

(19) PUT ; PUT

PUTによる転送か GETによる転送かを選択します。

PUT	機 能
0	GETによる転送
1	PUTによる転送

(20) FAST ; FAST

論理演算モード設定を無視したデータ置き換えだけを行う高速描画を実行するかどうかを選択します。

高速描画を選択した場合には、次のように機能が限定されます。

REC_FILL ; クリッピングは無効。塗りつぶしパターンはベタパターンのみ。

WL / WR = 11B に設定して下さい。

COPY ; SD_SEL=0XB のときには、高速化を実行しません。

TL=0

FAST	機 能
0	高速描画を実行しない
1	高速描画を実行する

(21) PL ; LINE PATTERN LENGTH

実線や破線などの線種の繰り返しパターン数を選択します。

PL	機 能
0	16ビットの繰り返し
1	32ビットの繰り返し

ただし、PL=1 とした場合は、パターンポインタは常に初期化されます。

《塗りつぶしパターン参照例》

(1) TL=0, SS=1

AGDC が内蔵する 16 ビットのレジスタ「PTN_CNT」の内容が塗りつぶしパターンとして参照されます。プレーン間にまたがって塗りつぶしをする指定が成されている場合には同一のパターンで塗りつぶしが行われます。

<設定すべきパラメータ>

- (A) 描画時に選択するプレーン PLANES
- (B) 描画時に選択される最大プレーン数 PMAX
- (C) 参照する塗りつぶしパターン PTN_CNT

<描画例>

PLANES=7, PMAX=4, PTN_CNT=5555H



(2) TL=1, SS=1

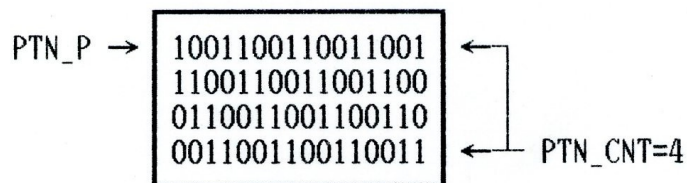
あらかじめ、表示メモリ上に展開/記憶させておく複数の塗りつぶしパターンが参照されます。Y座標の移動に伴って塗りつぶしパターンが自動的に更新されます。プレーン間にまたがって塗りつぶしを行う指定が成されている場合、Y座標が同一であれば同一のパターンが参照されます。

<設定すべきパラメータ>

- (A) 描画時に選択するプレーン PLANES
- (B) 描画時に選択される最大プレーン数 PMAX
- (C) 参照すべき塗りつぶしパターン列を格納している表示メモリの先頭番地 PTN_P
- (D) 参照すべき塗りつぶしパターン列の繰り返しワード数 PTN_CNT

<描画例>

PLANES=7, PMAX=4, PTN_CNT=4



(3) TL=1, SS=0

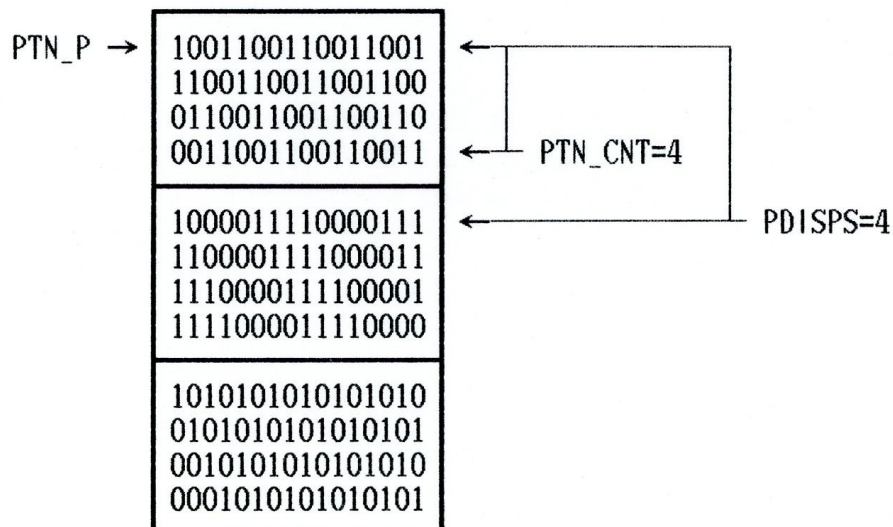
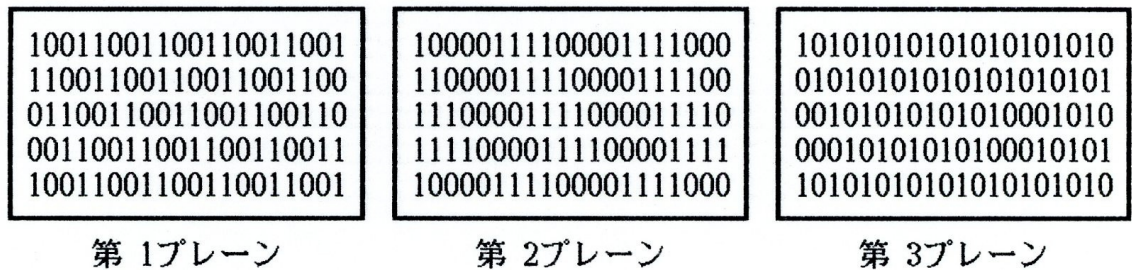
あらかじめ、表示メモリ上に展開/記憶させておく複数の塗りつぶしパターンが参照されます。Y座標の移動に伴って塗りつぶしパターンが自動的に更新されます。プレーン間にまたがって塗りつぶしを行う指定が成されている場合、各プレーンに対応する塗りつぶしパターンが参照されます。

<設定すべきパラメータ>

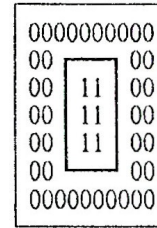
- (A) 描画時に選択するプレーン PLANES
- (B) 描画時に選択される最大プレーン数 PMAX
- (C) 参照すべき塗りつぶしパターン列を格納している表示メモリの先頭番地 PTN_P
- (D) 参照すべき塗りつぶしパターン列の繰り返しワード数 PTN_CNT
- (E) プレーンごとに用意された塗りつぶしパターン列間の番地変位量 PDISPS

<描画例>

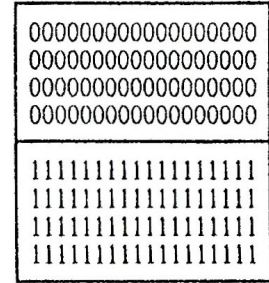
PLANES=7, PMAX=4, PTN_CNT=4, PDISPS=4



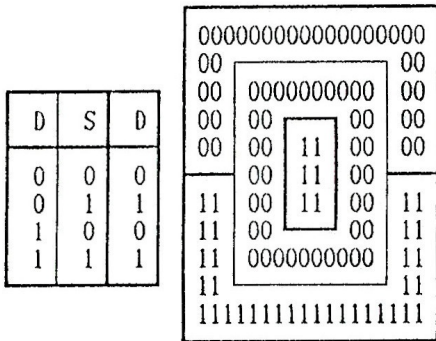
MOD	名称	論理演算
0000	REPLACE	$S \rightarrow D$
0001	COMPLEMENT	$D (+) S \rightarrow D$
0010	CLEAR	$D \cdot S \rightarrow D$
0011	SET	$D + S \rightarrow D$
0100	REPLACE	$\bar{S} \rightarrow D$
0101	COMPLEMENT	$D (+) \bar{S} \rightarrow D$
0110	CLEAR	$D \cdot \bar{S} \rightarrow D$
0111	SET	$D + \bar{S} \rightarrow D$



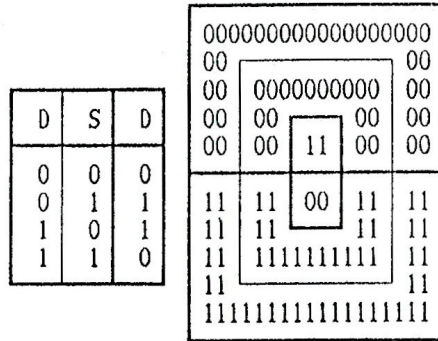
SOURCEパターン



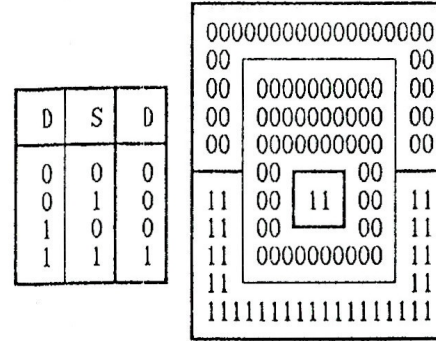
描画前 DESTINATIONパターン



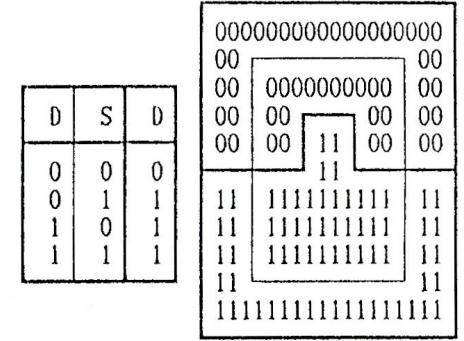
[$S \rightarrow D$]



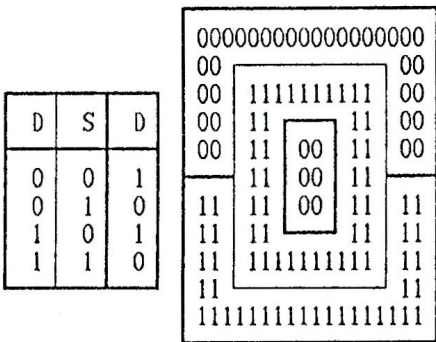
[$D (+) S \rightarrow D$]



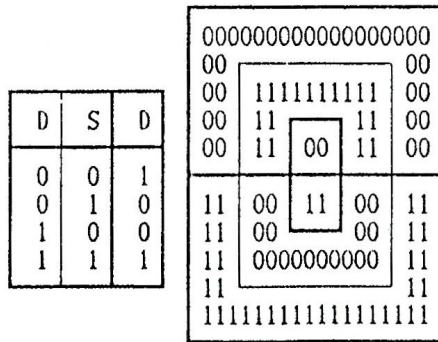
[$D \cdot S \rightarrow D$]



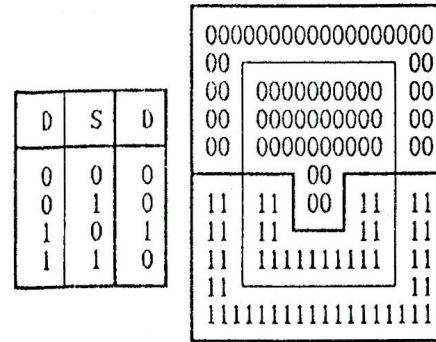
[$D + S \rightarrow D$]



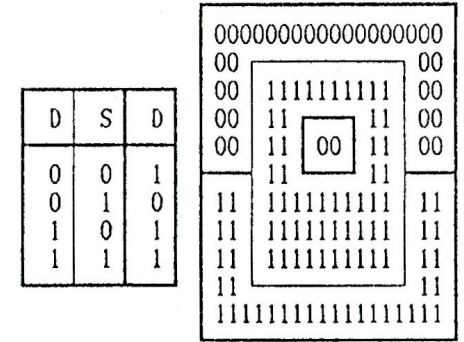
[$\bar{S} \rightarrow D$]



[$D (+) \bar{S} \rightarrow D$]



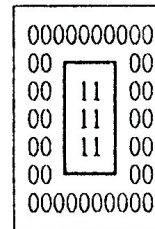
[$D \cdot \bar{S} \rightarrow D$]



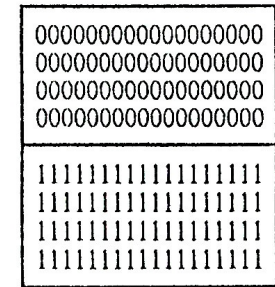
[$D + \bar{S} \rightarrow D$]

《論理演算モード (1)》

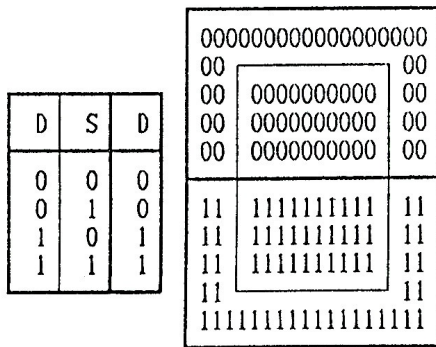
MOD	名 称	論理演算
1000		$\bar{D} \rightarrow D$
1001		$\bar{D} (+) S \rightarrow D$
1010		$\bar{D} \cdot S \rightarrow D$
1011		$\bar{D} + S \rightarrow D$
1100		$D \rightarrow D$
1101		$D (+) \bar{S} \rightarrow D$
1110		$D \cdot \bar{S} \rightarrow D$
1111		$D + \bar{S} \rightarrow D$



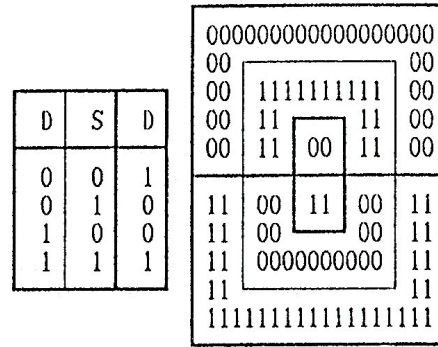
SOURCEパターン



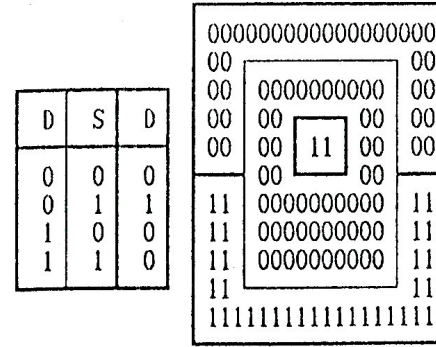
描画前 DESTINATIONパターン



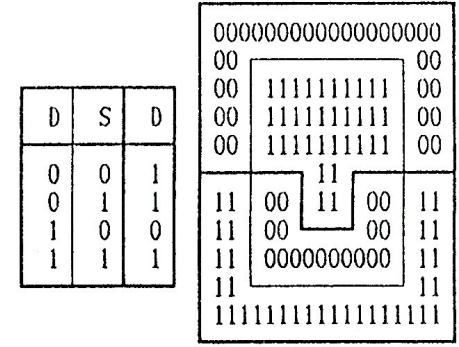
[D \rightarrow D]



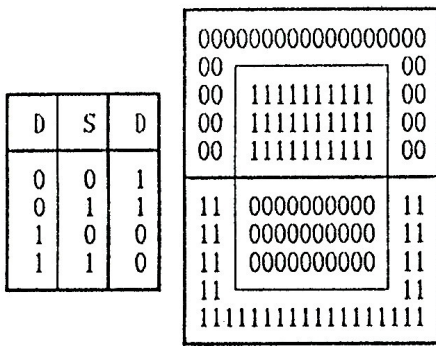
[$\bar{D} (+) S \rightarrow D$]



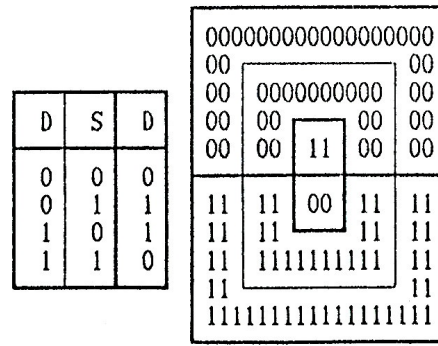
[$\bar{D} \cdot S \rightarrow D$]



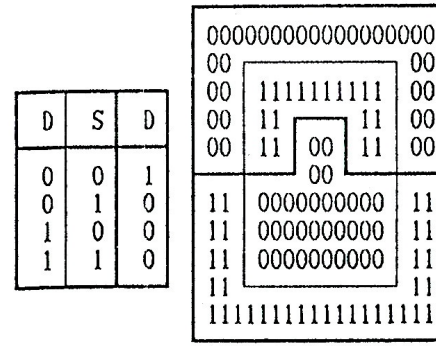
[$\bar{D} + S \rightarrow D$]



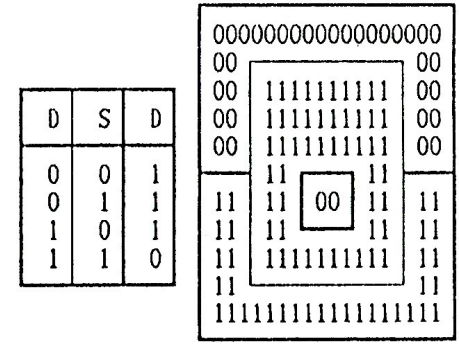
[$\bar{D} \rightarrow D$]



[$\bar{D} (+) \bar{S} \rightarrow D$]



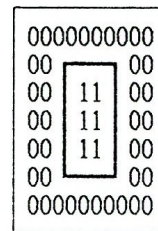
[$\bar{D} \cdot \bar{S} \rightarrow D$]



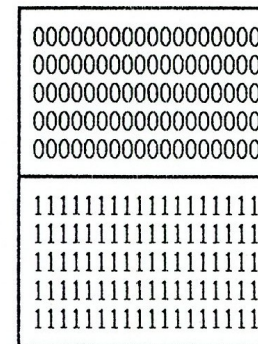
[$\bar{D} + \bar{S} \rightarrow D$]

【論理演算モード 1】

MOD1/MOD0	名 称	論理演算
0000	'REPLACE' BY \bar{S}	$D \leftarrow \bar{S}$
0001	'REPLACE' BY S	$D \leftarrow S$
0010	'REPLACE' BY 0	$D \leftarrow 0$
0011	'REPLACE' BY 1	$D \leftarrow 1$
0100	'EXOR' D AND \bar{S}	$D \leftarrow D (+) \bar{S}$
0101	'EXOR' D AND S	$D \leftarrow D (+) S$
0110	'EXOR' D AND 0	$D \leftarrow D$
0111	'EXOR' D AND 1	$D \leftarrow D$

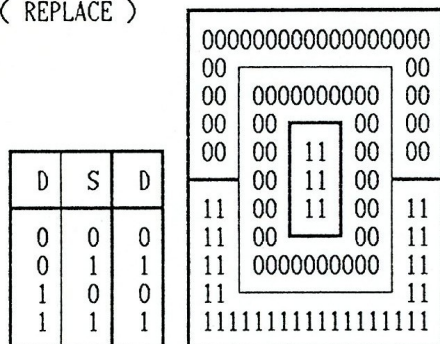


SOURCEパターン

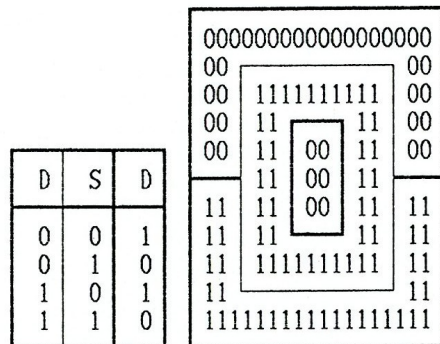


描画前 DESTINATIONパターン

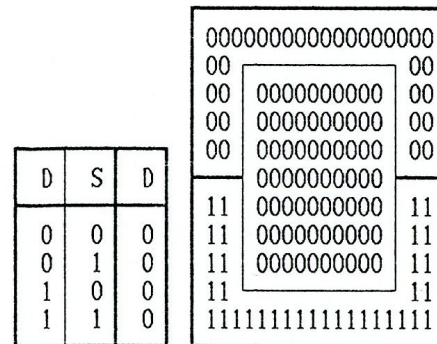
(REPLACE)



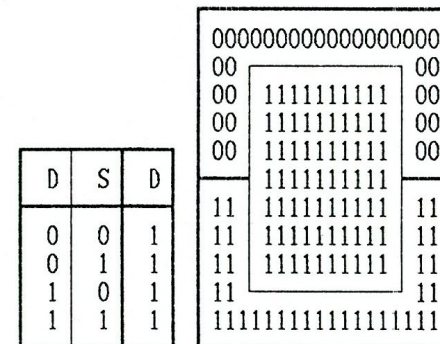
[D ← S] 《MOD=0000》



[D ← \bar{S}] 《MOD=0001》

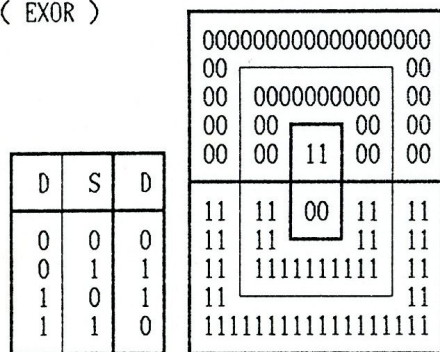


[D ← 0] 《MOD=0010》

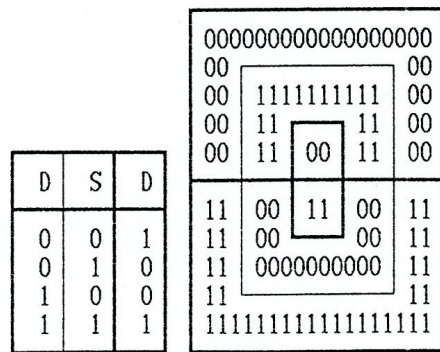


[D ← 1] 《MOD=0011》

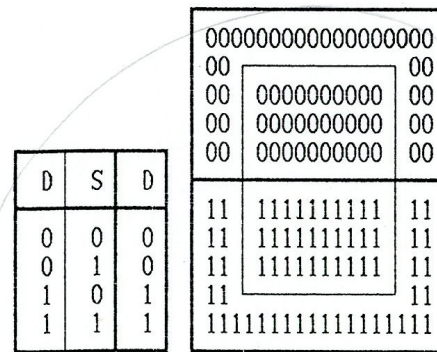
(EXOR)



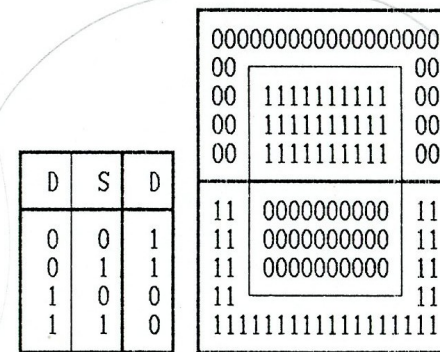
[D ← D (+) S] 《MOD=0100》



[D ← D (+) \bar{S}] 《MOD=0101》



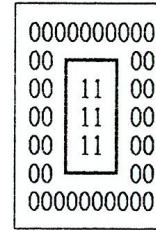
[D ← D] 《MOD=0110》



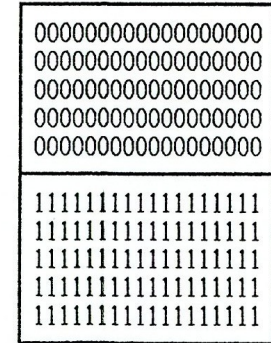
[D ← \bar{D}] 《MOD=0111》

【論理演算モード 2】

MOD1/MOD0	名 称	論理演算
1000	'AND' D AND S	$D \leftarrow D \cdot S$
1001	'AND' \bar{D} AND S	$D \leftarrow \bar{D} \cdot S$
1010	'AND' D AND \bar{S}	$D \leftarrow D \cdot \bar{S}$
1011	'AND' \bar{D} AND \bar{S}	$D \leftarrow \bar{D} \cdot \bar{S}$
1100	'OR' D AND S	$D \leftarrow D + S$
1101	'OR' \bar{D} AND S	$D \leftarrow \bar{D} + S$
1110	'OR' D AND \bar{S}	$D \leftarrow D + \bar{S}$
1111	'OR' \bar{D} AND \bar{S}	$D \leftarrow \bar{D} + \bar{S}$

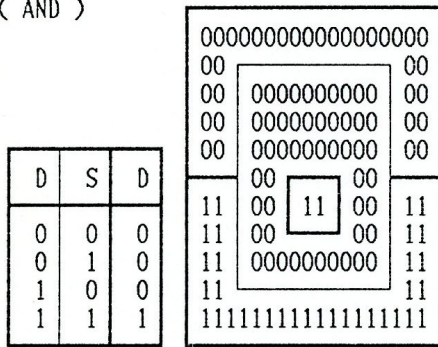


SOURCEパターン

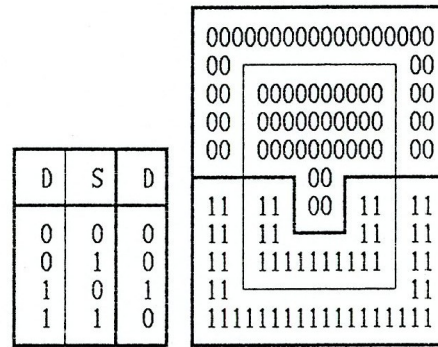


描画前 DESTINATIONパターン

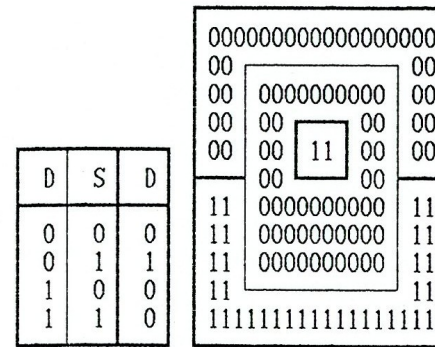
(AND)



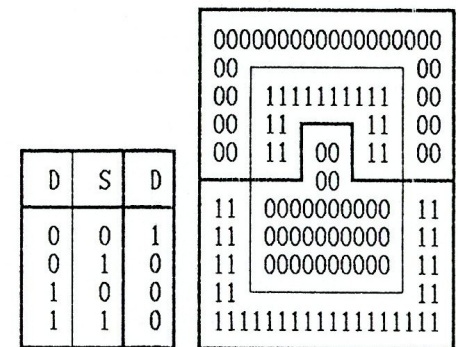
[$D \leftarrow D \cdot S$] 《MOD=1000》



[$D \leftarrow D \cdot \bar{S}$] 《MOD=1001》

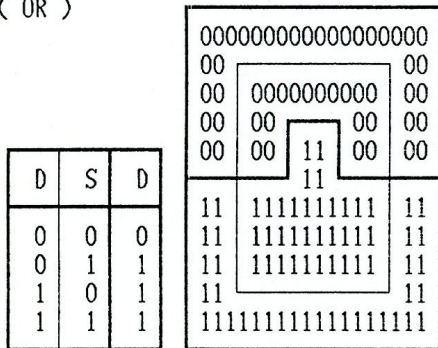


[$D \leftarrow \bar{D} \cdot S$] 《MOD=1010》

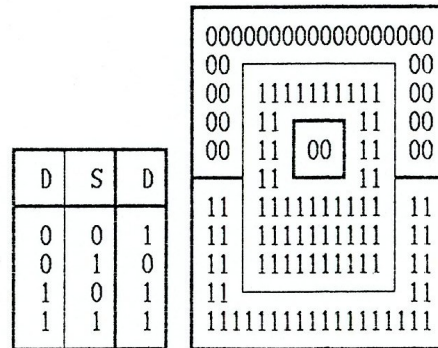


[$D \leftarrow \bar{D} \cdot \bar{S}$] 《MOD=1011》

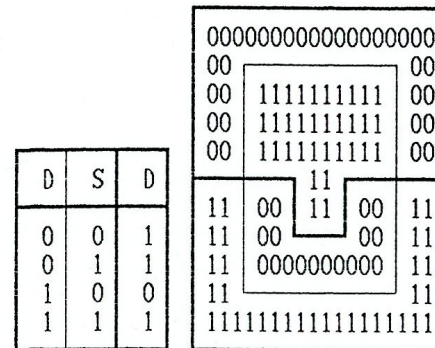
(OR)



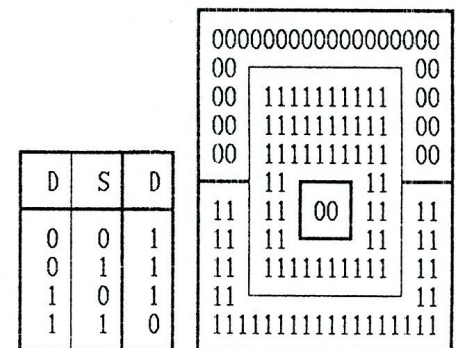
[$D \leftarrow D + S$] 《MOD=1100》



[$D \leftarrow D + \bar{S}$] 《MOD=1101》



[$D \leftarrow \bar{D} + S$] 《MOD=1110》



[$D \leftarrow \bar{D} + \bar{S}$] 《MOD=1111》

【ABSOLUTE MAXIMUM RATINGS】

PARAMETERS	SYMBOL	LIMITS	UNIT
VOLTAGE ON ANY PINS WITH RESPECT TO GROUND	Vcc	-0.5 ~ +7.0	V
AMBIENT TEMPERATURE UNDER BIAS	Topt	-10 ~ +70	°C
STORAGE TEMPERATURE	Tstg	-65 ~ +150	°C
POWER DISSIPATION	Pd	550	mW

【DC CHARACTERISTICS (Ta= 0°C— +70°C、Vcc= +5V±10%)】

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
INPUT LOW VOLTAGE	VIL	EXCEPT CLK, SCLK	-0.5	0.8	V
		CLK, SCLK	-0.5	0.6	V
INPUT HIGH VOLTAGE	VIH	EXCEPT CLK, SCLK	2.0	Vcc+0.5	V
		CLK, SCLK	3.5	Vcc+1.0	V
OUTPUT LOW VOLTAGE	VOL	IOL= 2.2mA		0.45	V
OUTPUT HIGH VOLTAGE	VOH	I0H=-400uA	2.4		V
INPUT LOW LEAK CURRENT	ILIL	VI = 0V		-10	uA
INPUT HIGH LEAK CURRENT	ILIH	VI = VCC		10	uA
OUTPUT LOW LEAK CURRENT	ILOL	VO = 0V		-10	uA
OUTPUT HIGH LEAK CURRENT	ILOH	VO = VCC		10	uA
Vcc SUPPLY CURRENT	IDD			100	mA

【CAPACITANCE (Ta= 25°C、Vcc=GND=0V)】

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
INPUT CAPACITANCE	CI	f=1MHz VI UNMESURED =0V		10	pF
OUTPUT CAPACITANCE	CO			20	pF
I/O CAPACITANCE	CI/O			20	pF
CLOCK CAPACITANCE	CC			20	pF

【AC CHARACTERISTICS (Ta=0°C— +70°C、Vcc= +5V±10%)】

CLOCK (CLK, SCLK)

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
CLOCK CYCLE	CLK	t _{CYK}	125	600	nS
	SCLK	t _{CYSK}	125	600	nS
		t _{CYK} ≥ t _{CYSK}			
CLOCK HIGH WIDTH	CLK	t _{WKH}	52		nS
	SCLK	t _{WSKH}	52		nS
CLOCK LOW WIDTH	CLK	t _{WKL}	52		nS
	SCLK	t _{WSKL}	52		nS
CLOCK RISE TIME	CLK	t _{KR}		15	nS
	SCLK	t _{SKR}		15	nS
CLOCK FALL TIME	CLK	t _{KF}		15	nS
	SCLK	t _{SKF}		15	nS

RESET, INTERRUPT

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
RESET PULSE WIDTH	t _{RST}		2		t _{CYK}
INT DELAY FROM CLK ↑	t _{DKI}			50	nS
INT ↑ DELAY FROM \overline{RD} ↓	t _{DRI}			3t _{CYK} +50	nS

HLD \overline{RQ} , HLD \overline{AK}

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
HLD \overline{AK} DELAY FROM CLK ↑	t _{DKHA}			50	nS
HLD \overline{RQ} SETUP TO CLK ↑	t _{SKHR}		t _{CYK} /2+20		nS

DMA READ/WRITE CYCLE

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
DMA \overline{RQ} DELAY FROM CLK \uparrow	tDKDR	CL=50pF		50	nS
DMA \overline{RQ} SETUP TO DMA \overline{AK} \downarrow	tSDCDR		0		nS
DMA \overline{AK} SETUP TO \overline{RD} \downarrow	tSRDR		0		nS
DMA \overline{AK} HOLD FROM \overline{RD} \uparrow	tHRDR		0		nS
DMA \overline{AK} SETUP TO \overline{WR} \downarrow	tSWDR		0		nS
DMA \overline{AK} HOLD FROM \overline{WR} \uparrow	tHWDR		0		nS

DISPLAY MEMORY BUS READ CYCLE

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
ADDRESS DELAY FROM CLK \uparrow	tDKA	CL=50pF		30	nS
INPUT DATA SETUP TO CLK \uparrow	tSKD		20		nS
INPUT DATA HOLD FROM CLK \uparrow	tHKD		0		nS
DASTB \uparrow DELAY FROM CLK \uparrow	tDKDSH	CL=50pF		30	nS
DASTB \downarrow DELAY FROM CLK \downarrow	tDKDSL	CL=50pF		30	nS
\overline{DRD} DELAY FROM CLK \uparrow	tDKDR	CL=50pF		30	nS

DISPLAY MEMORY BUS WRITE CYCLE

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
\overline{DWR} DELAY FROM CLK \uparrow	tDKDW	CL=50pF		30	nS
DATA DELAY FROM CLK \uparrow	tDKD	CL=50pF		30	nS

SYSTEM BUS READ CYCLE

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
\overline{CS} SETUP TO \overline{RD} ↓	tSRC		0		nS
\overline{CS} HOLD FROM \overline{RD} ↑	tHRC		0		nS
\overline{RD} HIGH WIDTH	tWRH		50		nS
ASTB PULSE WIDTH	tWAS		20		nS
ASTB SETUP TO \overline{RD} ↑	tSRAS		0		nS
ADDRESS SETUP TO ASTB ↓	tSASA		20		nS
ADDRESS HOLD TO ASTB ↓	tHAHA		0		nS
DATA SETUP TO READY ↑	tSRVD		0		nS
DATA FLOAT FROM \overline{RD} ↑	tFRD		0	30	nS
READY ↓ DELAY FROM \overline{RD} ↓	tDRRY			30	nS
\overline{RD} HOLD FROM READY ↑	tHRYR		0		nS
READY ↑ DELAY FROM CLK ↑	tDKRY			30	nS

SYSTEM BUS WRITE CYCLE

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
\overline{CS} SETUP TO \overline{WR} ↓	tSWC		0		nS
\overline{CS} HOLD FROM \overline{WR} ↑	tHWC		0		nS
\overline{WR} LOW WIDTH	tWWL		50		nS
\overline{WR} HIGH WIDTH	tWWH		50		nS
DATA SETUP TO \overline{WR} ↑	tSWD		30		nS
DATA HOLD FROM \overline{WR} ↑	tHWD		0		nS
READY ↓ DELAY FROM \overline{WR} ↓	tDWRY			30	nS
\overline{WR} HOLD FROM READY ↑	tHRYW		30		nS
READY DELAY FROM CLK ↑	tDKRY			30	nS

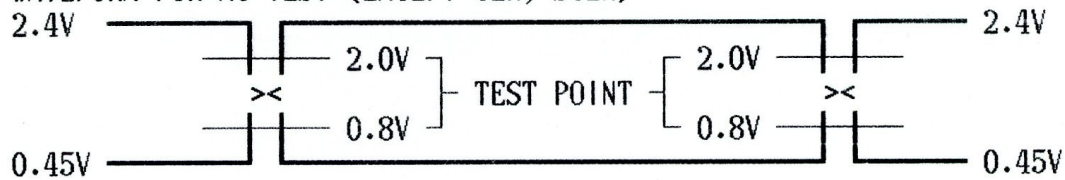
DISPLAY CYCLE

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
DASTB ↑ DELAY FROM SCLK ↑	tDKDASH	CL=50pF		30	nS
DASTB ↓ DELAY FROM SCLK ↓	tDKDASL	CL=50pF		30	nS
DT/DISP DELAY FROM SCLK ↑	tDKDT	CL=50pF		30	nS
ADDRESS DELAY FROM SCLK ↑	tDKA	CL=50pF		30	nS
OUTPUT DELAY FROM SCLK ↑	tDKO	CL=50pF		50	nS

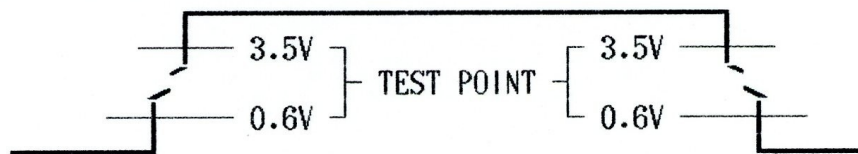
WAIT

PARAMETERS	SYMBOL	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
WAIT DELAY FROM SCLK ↑	tSKWT	CL=50pF		70	nS
WAIT PULSE WIDTH	tWTW	CL=50pF	4•TCYSK-70		nS

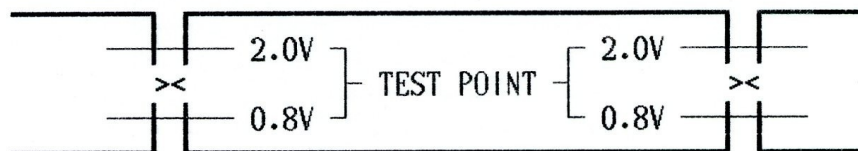
INPUT WAVEFORM FOR AC TEST (EXCEPT CLK, SCLK)



INPUT WAVEFORM FOR AC TEST (CLK, SCLK)

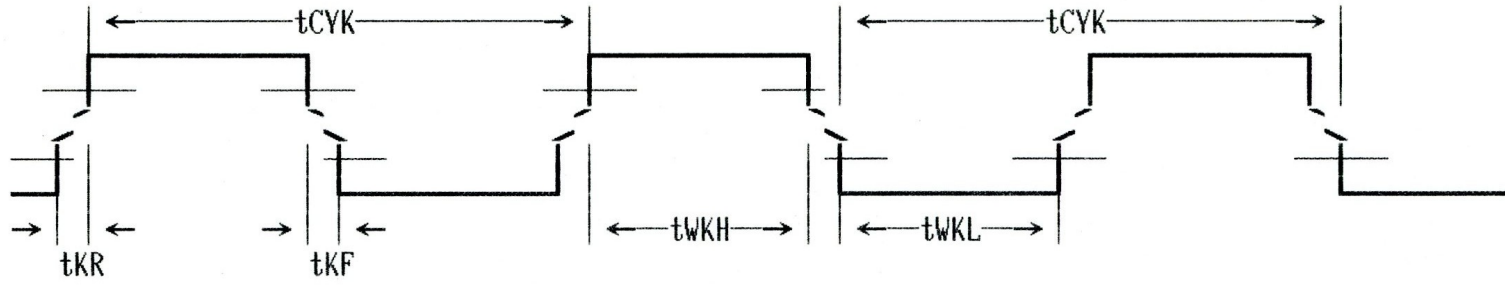


OUTPUT WAVEFORM FOR AC TEST

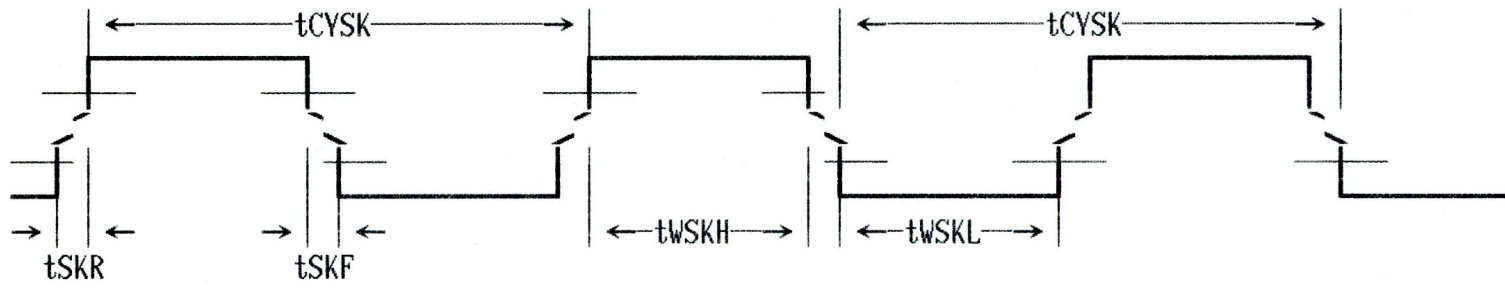


CLOCK

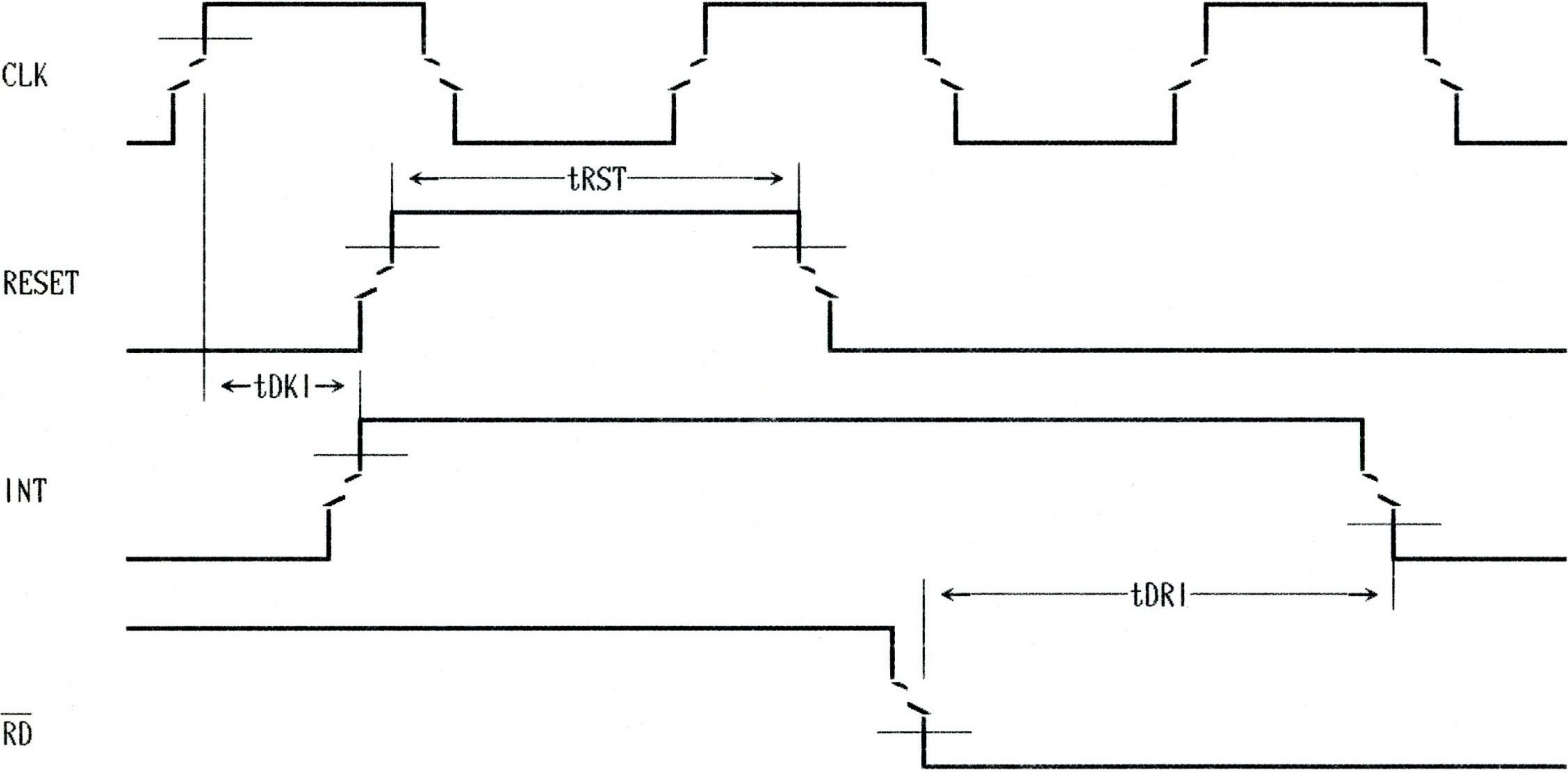
CLK



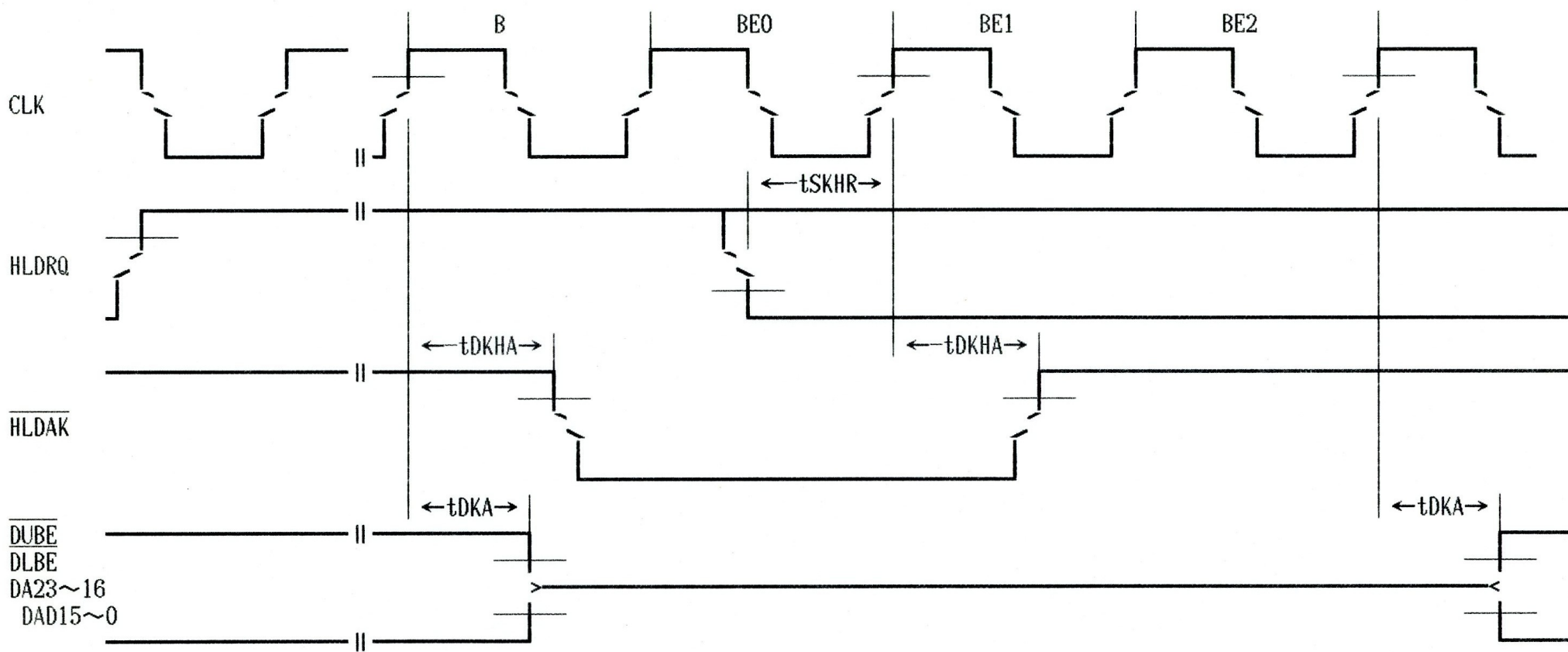
SCLK



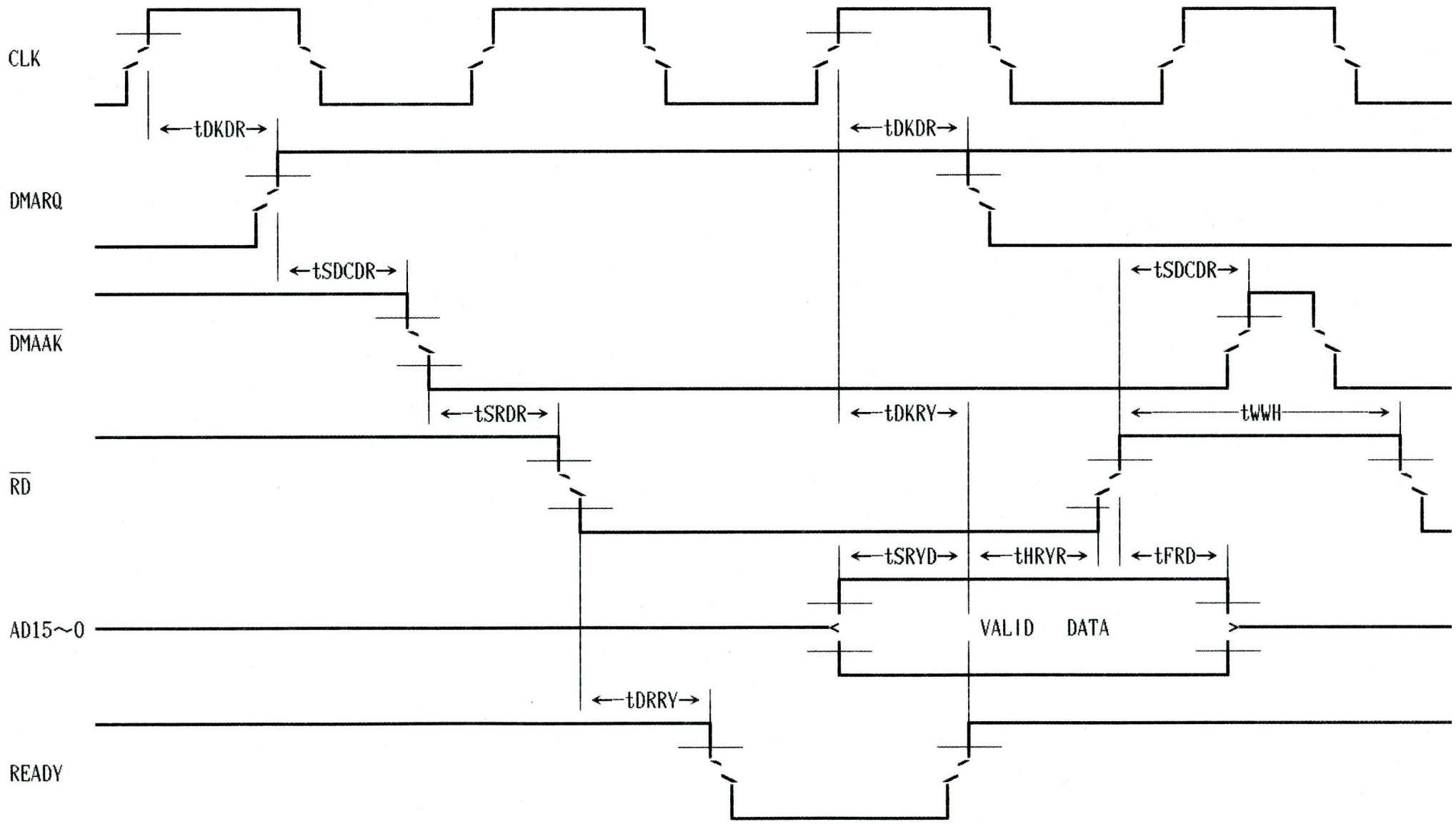
RESET, INTERRUPT



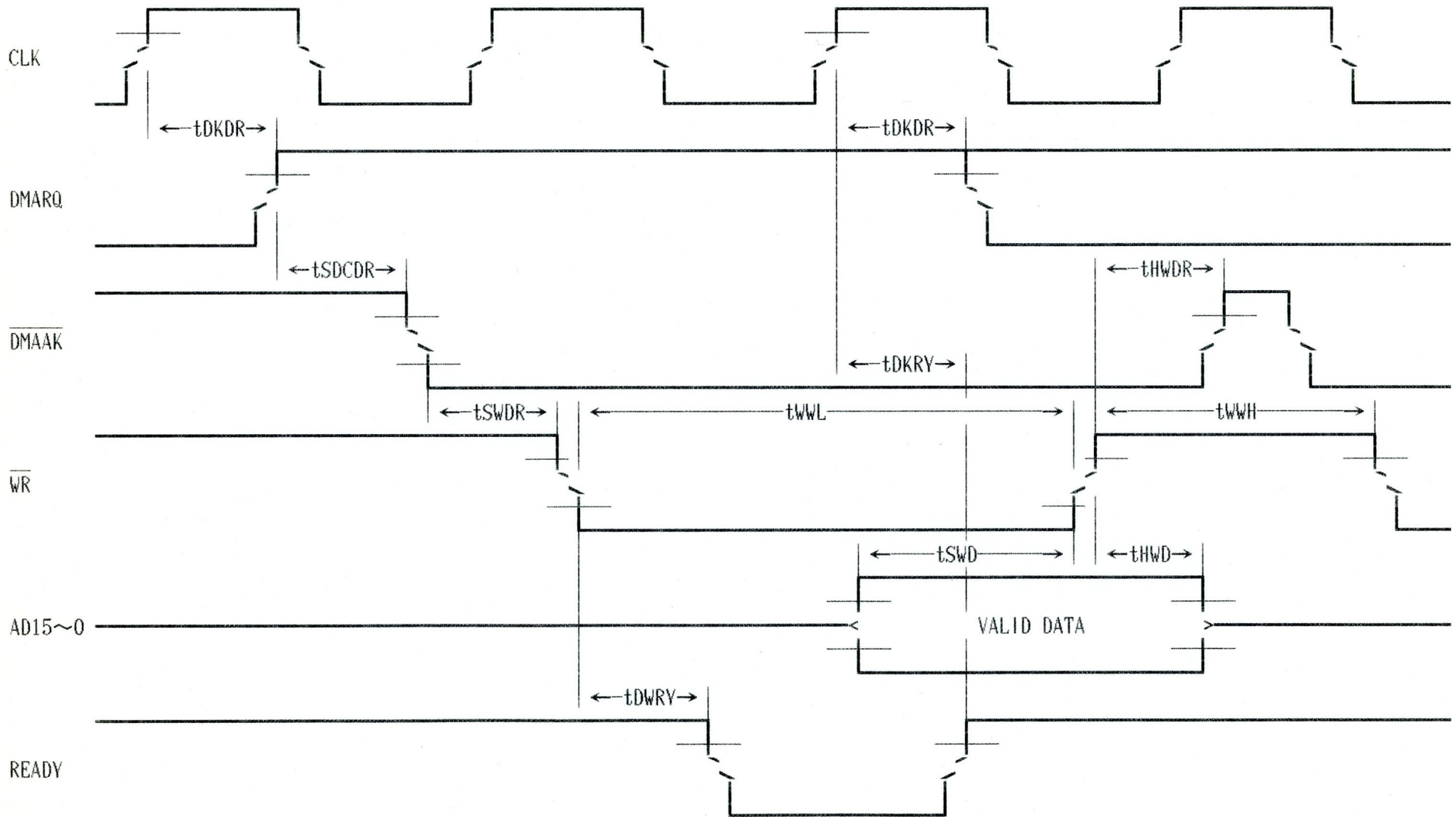
HLDRO, $\overline{\text{HLDK}}$



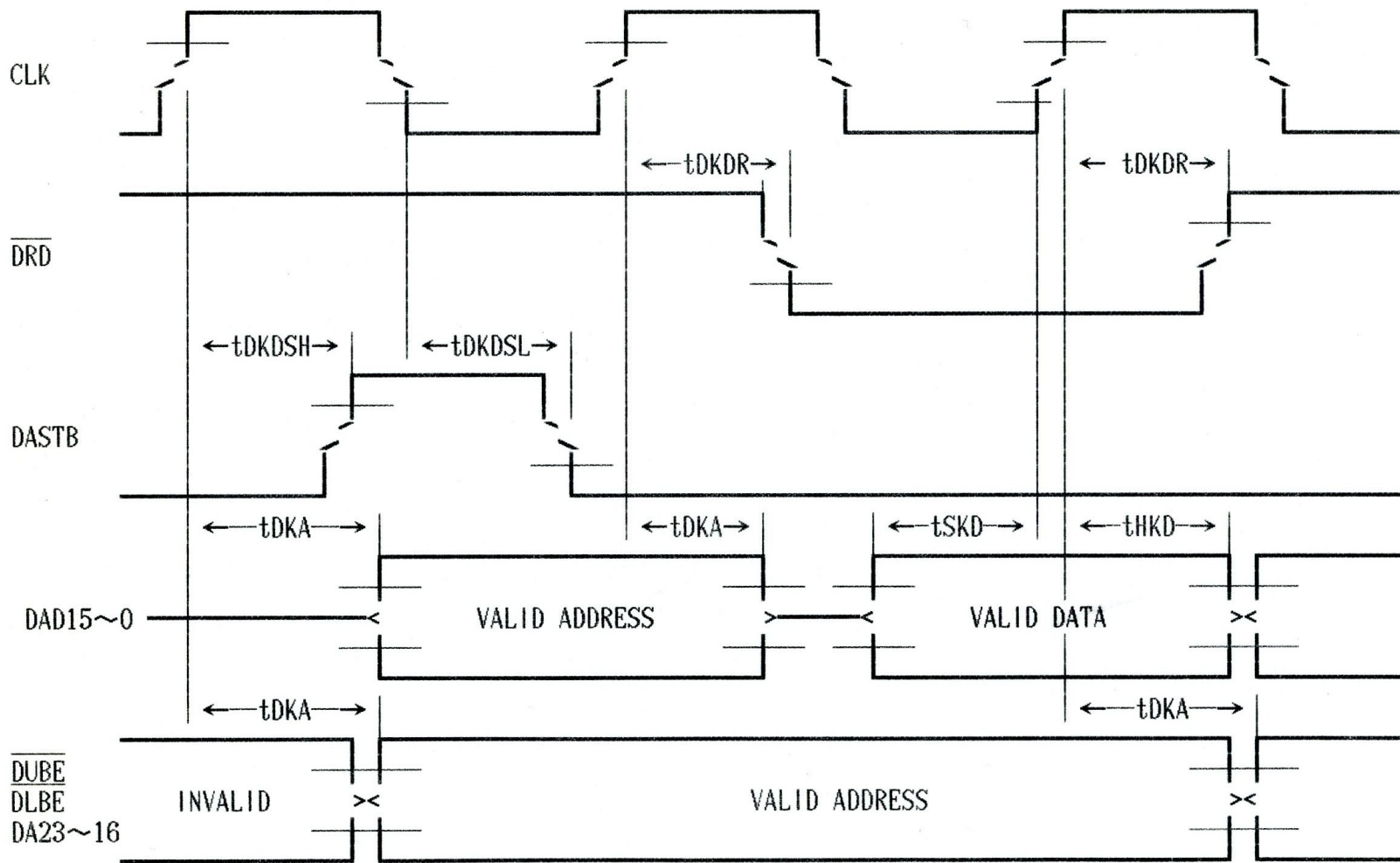
DMA READ CYCLE



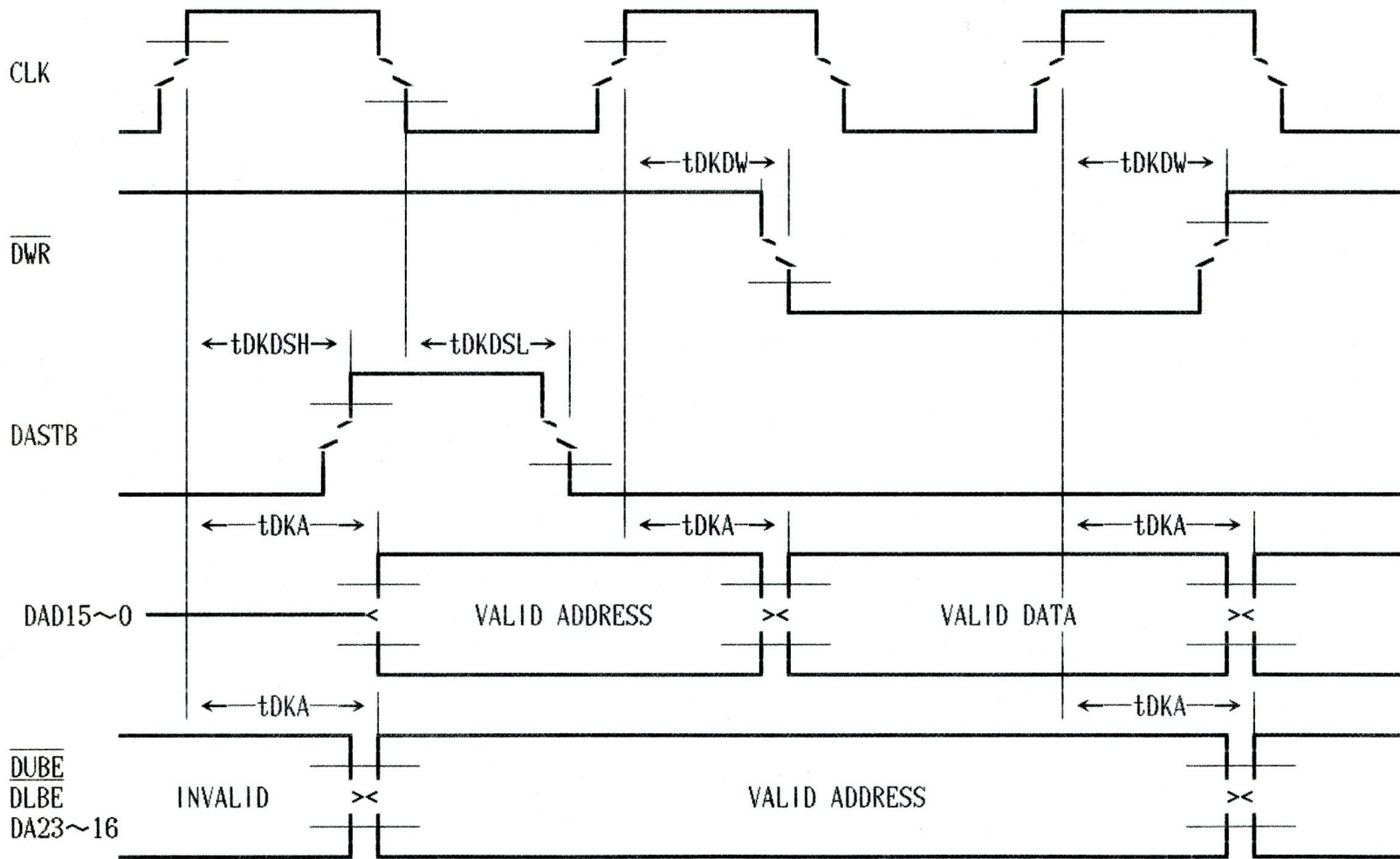
DMA WRITE CYCLE



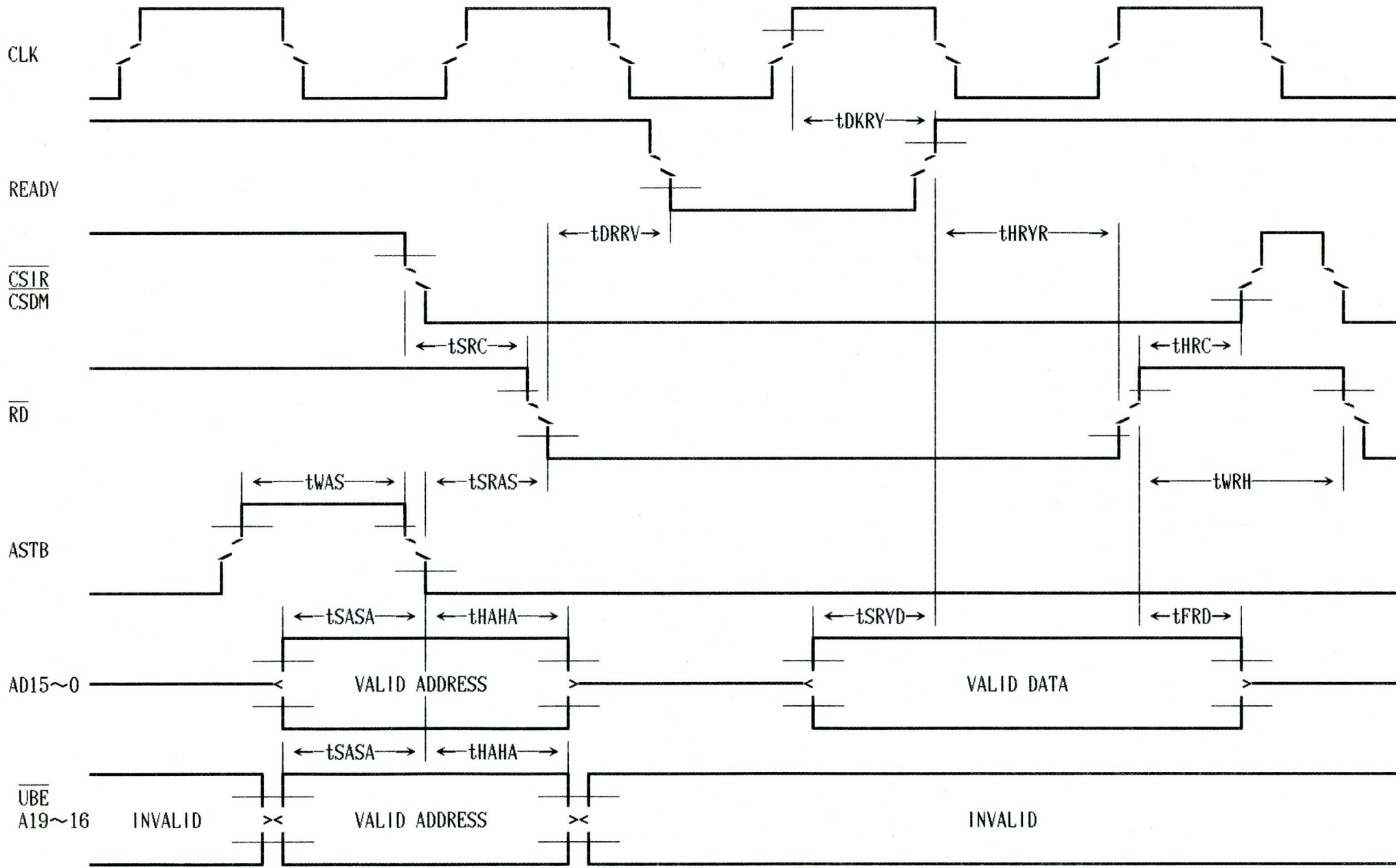
DISPLAY MEMORY BUS READ CYCLE



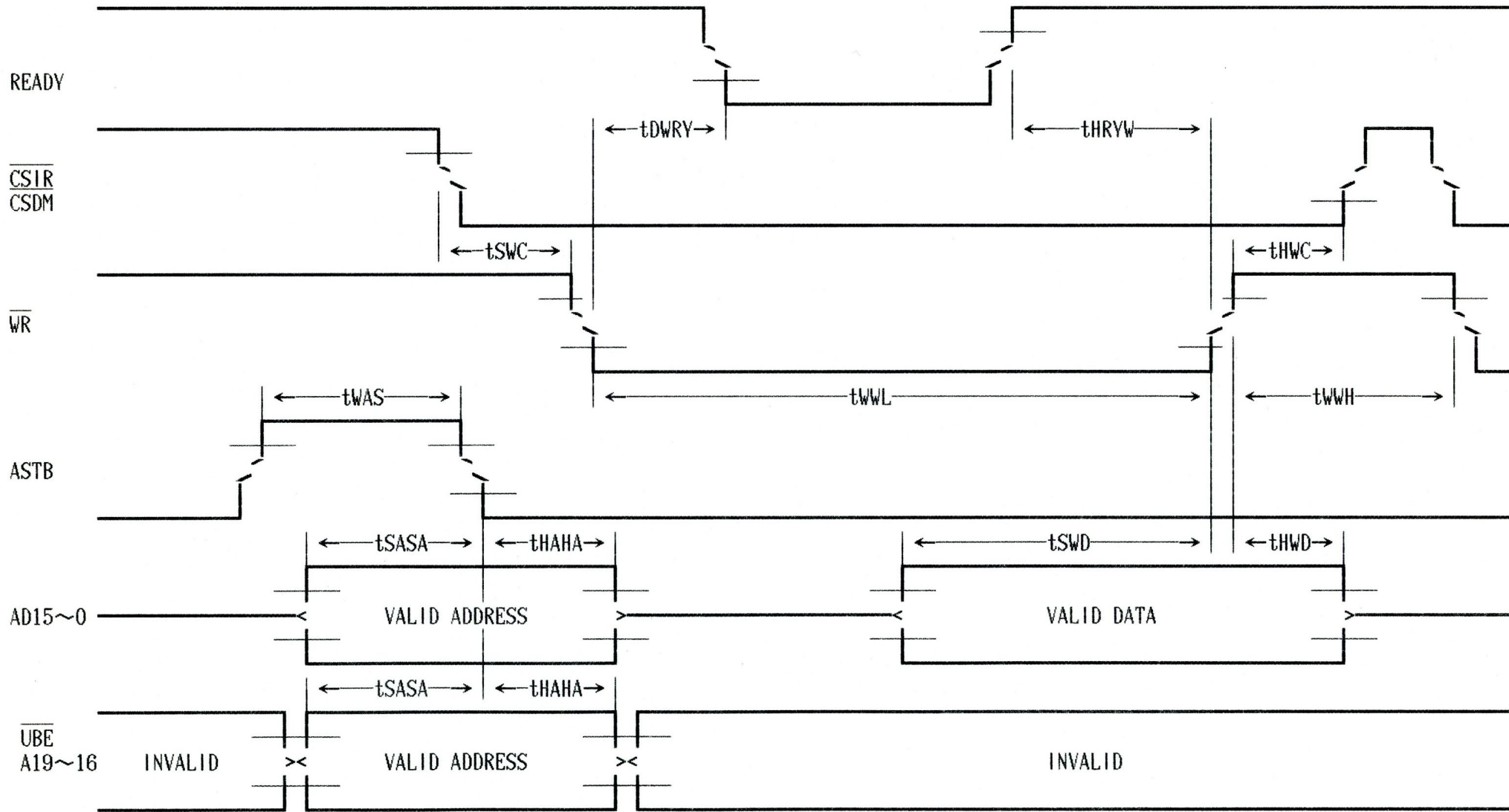
DISPLAY MEMORY BUS WRITE CYCLE



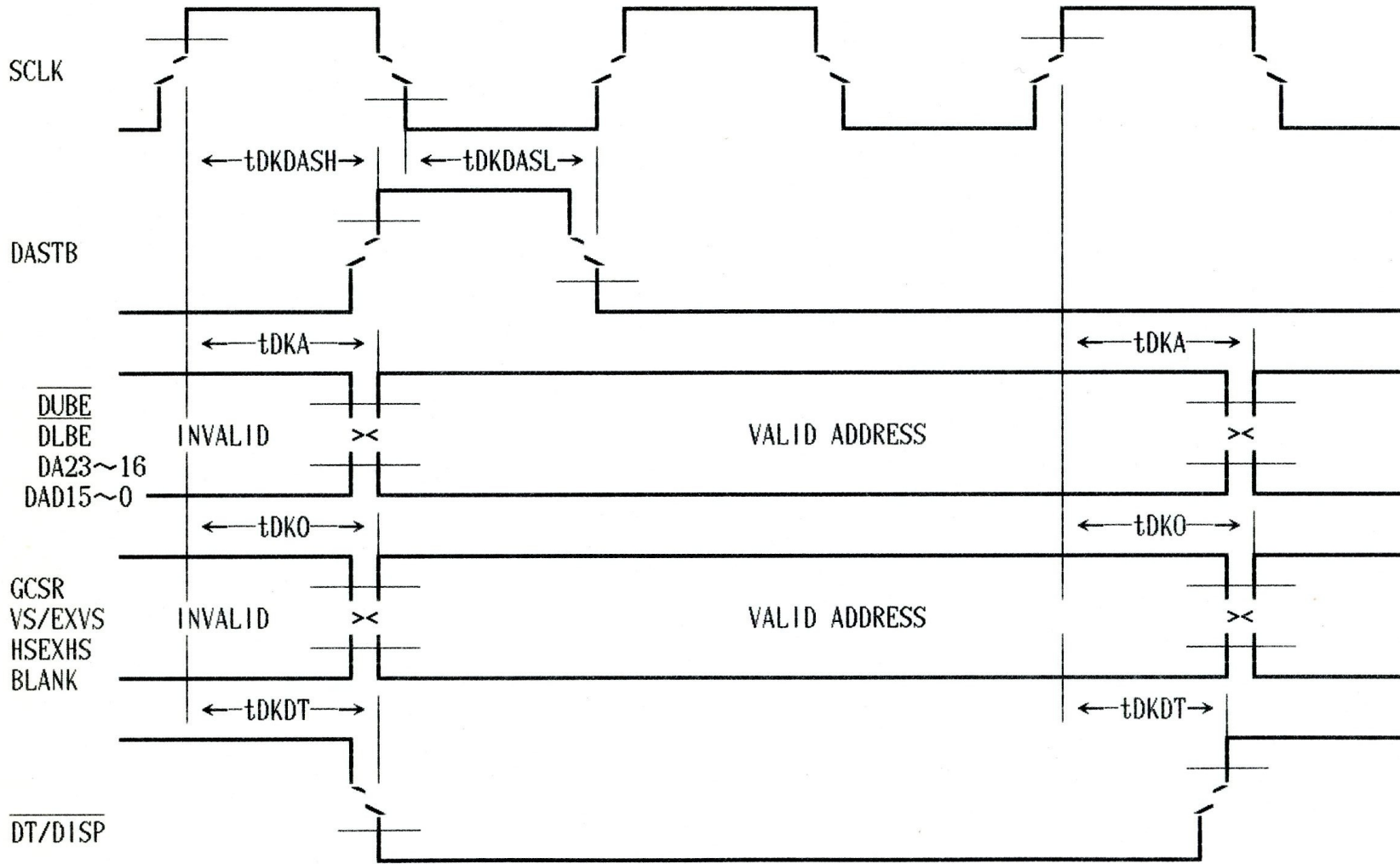
SYSTEM BUS READ CYCLE



SYSTEM BUS WRITE CYCLE



DISPLAY CYCLE



WAIT

SCLK

WAIT

